

УТВЕРЖДАЮ

Заместитель генерального директора
АО НПО "Физика" по научной работе

И.М.Гуляев

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ И1582ВЖЗВ-0167

Техническое описание

ИРВЖ.431262.003-048ТО

Главный конструктор

В.А.Власов

2000

Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата

1. ВВЕДЕНИЕ

1.1. Настоящее техническое описание позволяет ознакомиться с устройством и основным принципом работы контроллера двоичной последовательного кода (ДПК).

1.2. При изучении этого документа необходимо предварительно ознакомиться с РТМ 1495-75 и РД 11 0553-88 (руководство по применению Н1806ВМ2).

2. НАЗНАЧЕНИЕ МИКРОСХЕМЫ

2.1. Микросхема предназначена для обмена последовательным кодом по ГОСТ 18977-79 и РТМ 1495-75, обслуживания в мультиплексном режиме четырех передающих и приемных линий связи, мультиплексирование линий связи осуществляется программно. Микросхема состоит из независимых передатчика и приемника, которые управляются с помощью трех регистров, имеют по одному вектору прерывания и одному каналу прямого доступа к памяти.

2.2. БИС ДПК выполнена по КМОП-технологии. Кристалл, содержащий 3200 базовых ячеек имеет заполнение 75%.

2.3. Интерфейс абонента - системный канал микропроцессора Н1806ВМ2 (МПИ).

2.4. Корпус микросхемы— Н18.64-2В УФ0.481.005ТУ.

					ИРВЖ.431262.003-048ТО			
Изм.	Лист	№ докум.	Подп.	Дата	МИКРОСХЕМА ИНТЕГРАЛЬНАЯ Н1582ВЖЗВ-0167 Техническое описание	Лит.	Лист	Листов
Разраб.	Алферова						2	
Пров.	Власов							
Нач. отд.	Шиканян							
Н. Контр.	Тремасова							
Утв.	-							
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата				

3. УСТРОЙСТВО И РАБОТА

3.1. Структурная схема микросхемы приведена на рис. 1.

3.2. Нумерация, обозначение и назначение выводов микросхемы приведены в табл. 1.

3.3. Условное графическое обозначение микросхемы приведено на рис. 2.

4. ТЕХНИЧЕСКИЕ ДАННЫЕ

4.1. Напряжение питания - +5 В±10%;

4.2. Ток потребления, не более - 2,5 мА;

4.3. Выходной ток низкого уровня при $U_{пит} = 5.5 В$, $U_{вых} = 0.4 В$
не менее ($t = -60 - +125 ^\circ C$) - 2 мА;

Выходной ток высокого уровня при $U_{пит} = 4.5 В$, $U_{вых} = 4.1 В$
не менее ($t = -60 - +125 ^\circ C$) - -0,8 мА;

4.4. Емкость нагрузки:

предельно-допустимая - 100 пФ;

предельная - 200 пФ

5. ОПИСАНИЕ ВЫВОДОВ БИС ДПК

5.1. Краткое описание выводов БИС:

AD0-AD15, SYNC, AR, DOUT, DIN, RPLAY, WTBT, VIRQ, IAKT, IAKO, DMR, DMGI, DMGO, SACK, INIT - сигналы системной магистрали микропроцессора 1806BM2;

S1,S2,S3 - выбор группы адресов на системной магистрали;

CLCI - вход тактовых импульсов синхронизации обмена по системной магистрали;

DI0-DI3 - входы данных четырех последовательных каналов;

CI0-CI3 - входы синхронизации четырех последовательных каналов;

DO, CO - выходы данных и синхронизации последовательных каналов;

EN0-EN3 - выходы выбора передатчика;

F1 - вход тактовых импульсов 1 МГц;

					ИРВЖ.431262.003-048ТО	Лист
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

C0, C1 - выходы управления МПП шины данных AD0-AD15, C0=HE-C1 при выводе данных на магистраль C0=0.

CS0,CS1 - выходы управления МПП сигналов управления SYNC, DIN, DOUT, RPLY, WTBT, CS0=HE-CS1, CS1=SACK;

XTSH,YTSH - вход и выход инвертора.

Таблица 1

N вывода	Тип Буфера	Условное обозначение	Назначение вывода
1	1	DI0	Вход данных последовательного канала 0
2	1	DI1	Вход данных последовательного канала 1
3	1	DI2	Вход данных последовательного канала 2
4	1	DI3	Вход данных последовательного канала 3
5	1	CI0	Вход синхронизации канала 0
6	1	CI1	Вход синхронизации канала 1
7	1	CI2	Вход синхронизации канала 2
8	1	CI3	Вход синхронизации канала 3
9	4	AD0	Вх/вых. 0 разряда магистралы адреса-данных
10	4	AD1	- " - 1 - " -
11	4	AD2	- " - 2 - " -
12	4	AD3	- " - 3 - " -
13	-	0B	Земля
14	4	AD4	Вх/вых. 4 разряда магистралы адреса-данных
15	4	AD5	- " - 5 - " -
16	4	AD6	- " - 6 - " -
17	-	Еп	Питание
18	4	AD7	Вх/вых. 7 разряда магистралы адреса-данных
19	4	AD8	- " - 8 - " -
20	4	AD9	- " - 9 - " -
21	4	AD10	- " - 10 - " -
22	4	AD11	- " - 11 - " -
23	4	AD12	- " - 12 - " -
24	4	AD13	- " - 13 - " -
25	4	AD14	- " - 14 - " -

Продолжение табл. 1

					ИРВЖ.431262.003-048ТО	Лист
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

N вывода	Тип Буфера	Условное обозначение	Назначение вывода
26	4	AD15	- " - 15 - " -
27	1	S3	Вход выбора группы адресов
28	1	S2	Вход выбора группы адресов
29	1	S1	Вход выбора группы адресов
30	1	CEXT	Вход внешнего сигнала тактовой частоты
31	3	YTSH	Выход инвертора
32	-	Еп	Питание
33	-	-	-
34	1	XTSH	Вход инвертора
35	1	INIT	Вход сигнала общего сброса
36	1	F1	Вход сигнала тактовой частоты 1МГц
37	1	CLC	Вход тактового сигнала системной магистрали
38	3	CS1	Выход управления буферами магистрали AD
39	3	CS0	Выход управления буферами магистрали AD
40	3	CO	Выход управления буферами магистрали AD
41	3	C1	Выход управления буферами магистрали AD
42	1	IAKI	Вход сигнала разрешения прерывания
43	3	IAKO	Выход сигнала разрешения прерывания
44	2	VIRQ	Выход сигнала запроса прерывания
45	-	0B	Земля
46	5	RPLY	Вход/выход сигнала подтверждения обмена
47	5	AR	Выход подтверждения приема адреса
48	5	SACK	Выход сигнала подтверждения захвата магистрали
49	-	Еп	Питание
50	3	DGO	Выход сигнала разрешения ПДП
51	1	DGI	Вход сигнала разрешения ПДП
52	2	DMR	Выход сигнала запроса ПДП

					ИРВЖ.431262.003-048ТО		Лист
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

N вывода	Тип Буфера	Условное обозначение	Назначение вывода
53	4	DIN	Вход/выход сигнала записи системной магистрали
54	4	DOUТ	Вход/выход сигнала чтения системной магистрали
55	4	SYNC	Вход/выход сигнала синхроимпульса системной магистрали
56	4	WTBT	Выход чтение/запись
57	3	DO	Выход данных последовательного канала
58	3	CO	Выход синхронизации
59	3	EN0	Выход выбора канала 0
60	3	EN1	Выход выбора канала 1
61	3	EN2	Выход выбора канала 2
62	-	0B	Земля
63	3	EN3	Выход выбора канала 3
64	-	Еп	Питание

6. ФУНКЦИОНИРОВАНИЕ БИС

6.1. БИС управляется с помощью трех регистров, состояние которых определяет скорость приема и передачи данных, базовые адреса расположения данных в ОЗУ, цикличность работы и диагностику ошибок:

регистр XCSR - регистр состояния-управления передатчика, предназначен для управления передатчиком и чтения текущего состояния;

регистр RCSR - регистр состояния-управления приемником, предназначен для управления приемником и чтения текущего состояния;

регистр RAD - регистр адресации приемника.

6.2. Назначение разрядов регистра состояния и управления передатчиком (XCSR):

10-15 разряды - базовый адрес обращения к ОЗУ;

9 разряд - ошибка обращения к ОЗУ в режиме ПДП;

8 разряд - разрешение циклической работы передатчика;

					ИРВЖ.431262.003-048ТО		Лист
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

- 7 разряд - готовность передатчика, устанавливается независимо от режима;
- 6 разряд - разрешение прерывания по установке 7 разряда;
- 4, 5 разряды - выбор частоты передачи, 00-12.5 кГц, 01-50 кГц, 10-100 кГц
- 11- задается внешним сигналом $f = f(C_{EXT})/4$;
- 2, 3 разряды - выбор канала передатчика;
- 1 разряд - результат контроля четности передаваемого слова;
- 0 разряд - GO - запуск передатчика.

Передатчик запускается установкой в 1 нулевого разряда регистра XCSR. Он начинает выдавать в последовательный канал 32-х разрядные слова, выбирая их из ОЗУ в порядке возрастания адресов в режиме ПДП, начиная с адреса, в котором 10-15 разряды базовый адрес из XCSR, а остальные – 0. При этом разряды 15-0 слова в ОЗУ с адресом XXXXX0 (XXXXX4) соответствуют 1-16 разрядам слова ДПК, а разряды 15-1 слова в ОЗУ с адресом XXXXX2 (XXXXX6) соответствуют 17-31 разрядам слова ДПК. 32-й разряд слова ДПК - всегда результат дополнения до нечетного числа единиц. Передатчик останавливается или начинает передачу сначала (в зависимости от состояния 8-разряда XCSR), если в нулевом разряде слова из ОЗУ с адресом XXXXX2 (XXXXX6) установлена "1". Если такого слова в блоке из 256 слов не найдено, то передача прекращается только по сбросу 0 разряда XCSR. Передатчик формирует между словами паузу 4Т.

6.2.1. В целях совместимости с аппаратурой старой разработки в микросхеме введена возможность установить передатчик в режим формирования паузы 8Т. Для этого необходимо записать в 1 разряд XCSR единицу. Данный параметр не отображается при чтении регистра.

6.3. Назначение регистра состояния и управления приемником (RCSR):

- 12 разряд - разрешение обновления базового адреса/записи слова управления в ОЗУ;
- 11 разряд - разрешение обработки слова управления (разрешение компаратора адреса);
- 10 разряд - ошибка приема;
- 9 разряд - ошибка обращения к ОЗУ в режиме ПДП;
- 8 разряд - разрешение циклической работы приемника;
- 7 разряд - готовность приемника;

					ИРВЖ.431262.003-048ТО	Лист
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

6 разряд - разрешение прерывания (по установке разрядов 10, 9, 7);

4, 5 разряды - выбор частоты работы приемника;

2, 3 разряды - выбор канала приемника;

1 разряд - самоконтроль;

0 разряд - GO - разрешение работы приемника.

Приемник готов к приему слова ДПК после установки в "1" нулевого разряда регистра RCSR. Приемник осуществляет свертку по mod 2 принимаемой информации (биты 1-32 слова ДПК). Результат должен быть равен "1". Контроль достоверности принятого слова проводится по совокупности выполнения следующих условий:

- принято 32 бита информации;

- результат свертки равен "1";

- наличие паузы (более 1,5 T рабочей частоты приемника) в принимаемой последовательности в конце слова.

В зависимости от состояния 11 разряда RCSR приемник следит за адресом принимаемых слов ДПК (первые 8 разрядов слова ДПК) и в случае совпадения значений в 1-8 разрядах слова ДПК с 7-0 разрядами RAD соответственно, интерпретирует его как слово управления. В случае получения слова управления приемник либо переписывает это слово в ОЗУ (12 разряд RCSR равен 0), либо (12 разряд RCSR равен 1) переписывает 9-11 разряды этого слова в 12-10 разряды RAD соответственно, изменяя таким образом адрес обращения к ОЗУ в режиме ПДП.

В случае установки 11 разряда RCSR в 0, приемник переписывает в ОЗУ все пришедшие слова пока 0-й разряд RCSR (GO) установлен в 1 или пока не произошла ошибка приема или ПДП. При установке 11 разряда RCSR в 1 возможны два режима работы приемника в зависимости от состояния 8 разряда RCSR - циклический и однократный. В любом случае после установки GO в 1 приемник начнет запись слов ДПК в ОЗУ после прихода первого управляющего слова. В случае однократного режима работы приемник завершит прием (и сбросит GO) после прихода второго управляющего слова и выдаст прерывание, если оно разрешено.

6.4. Назначение регистра адреса приемника (RAD):

13-15 разряды - базовый адрес обращения к ОЗУ в режиме ПДП;

					ИРВЖ.431262.003-048ТО	Лист
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

10-12 разряды - номер группы слов. Доступ по чтению и записи. При получении слова управления из него заносятся соответствующие разряды номера группы слов;
 8, 9 разряды - не используются;
 0-7 разряды - адрес слова управления.

6.5. Формирование адреса обращения к памяти

6.5.1. Правила формирования адреса ОЗУ для принимаемых или передаваемых данных приведены в табл. 3. Необходимо обратить внимание на возможность изменения базового адреса ПДП (12-10 разряды) с помощью принятого управляющего слова.

Таблица 3

15-13	Старшие 3 разряда базового адреса обращения к памяти из XCSR для передатчика. Базовый адрес обращения из RAD для приемника.
12-10	Младшие 3 разряда базового адреса обращения к памяти из XCSR для передатчика. Номер группы слов из RAD для приемника.
9-2	Значение счетчика передаваемых слов для передатчика. Значение адреса принятого слова ДПК для приемника (1-8 разряды принятого слова).
1	Адресация двух 16-ти разрядных слов, составляющих слово ДПК. "0" - адрес 1-16 бит слова ДПК; "1" - адрес 17-32 бит слова ДПК для приемника, для передатчика 17-31 биты передаваемого слова и признак окончания группы.

6.6. Выбор группы адресов

6.6.1. Адреса регистров и векторов прерывания в зависимости от распайки выводов S1, S2, S3 приведены в табл. 4. Таким образом в системе может быть использовано одновременно до 8 контроллеров ДПК.

					ИРВЖ.431262.003-048ТО	Лист
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

Таблица 4

S1,S2,S3	0,0,1	1,0,1	0,1,1	1,1,1	0,0,0	1,0,0	0,1,0	1,1,0
RCSR	174400	174410	174420	174430	164400	164410	164420	164430
XCSR	174402	174412	174422	174432	164402	164412	164422	164432
RAD	174404	174414	174424	174434	164404	164414	164424	164434
VEC R	240	250	260	270	340	350	360	370

6.7. В приложении 1 приведена принципиальная схема бортовой микро-ЭВМ на микропроцессоре H1806BM2, в состав которой входят два контроллера ДПК на микросхемах H1582ВЖЗВ-0167.

					ИРВЖ.431262.003-048ТО		Лист
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			