

УТВЕРЖДАЮ

Заместитель генерального директора  
ОАО НПО “Физика” по научной работе  
В.А.Власов

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ Н1582ВЖЗБ-0267

Техническое описание  
ИРВЖ.431262.071-006ТО

Главный конструктор  
А.В.Розе

2007

|             |              |             |             |             |
|-------------|--------------|-------------|-------------|-------------|
|             |              |             |             |             |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |

Л.А.Сергеева

Главный контролер

## Содержание

|  |    |
|--|----|
| 1 Введение                                 | 3  |
| 2 Назначение микросхемы                    | 3  |
| 3 Устройство и работа                      | 3  |
| 4 Технические данные                       | 6  |
| 5 Описание выводов БИС ДПК                 | 6  |
| 6 Функционирование БИС                     | 9  |
| 6.5 Формирование адреса обращения к памяти | 11 |
| 6.6 Выбор группы адресов                   | 12 |

|                    |                     |                    |                    |                    |  |             |             |               |  |
|--------------------|---------------------|--------------------|--------------------|--------------------|--|-------------|-------------|---------------|--|
|                    |                     |                    |                    |                    |  |             |             |               |  |
|                    |                     |                    |                    |                    | ИРВЖ.431262.071-006ТО  |             |             |               |  |
| <b>Изм.</b>        | <b>Лист</b>         | <b>№ докум.</b>    | <b>Подп.</b>       | <b>Дата</b>        | МИКРОСХЕМА<br>ИНТЕГРАЛЬНАЯ<br>Н1582ВЖЗБ-0267<br><br>Техническое описание | <b>Лит.</b> | <b>Лист</b> | <b>Листов</b> |  |
| <b>Разраб.</b>     | Алферова            |                    |                    |                    |  |             | 2           | 13            |  |
| <b>Пров.</b>       | Розе                |                    |                    |                    |  |             |             |               |  |
| <b>Нач. отд.</b>   | Хахулина            |                    |                    |                    |  |             |             |               |  |
| <b>Н. Контр.</b>   | Сергеева            |                    |                    |                    |  |             |             |               |  |
| <b>Утв.</b>        | -                   |                    |                    |                    |  |             |             |               |  |
| <b>Инь.№ подл.</b> | <b>Подп. и дата</b> | <b>Взам.инв. №</b> | <b>Инь.№ дубл.</b> | <b>Подп и дата</b> |  |             |             |               |  |

## 1 Введение

1.1 Настоящее техническое описание позволяет ознакомиться с устройством и основным принципом работы микросхемы интегральной Н1582ВЖЗБ-0267 (далее – микросхема), представляющей собой контроллер двоичного последовательного кода (ДПК).

1.2 При изучении этого документа необходимо предварительно ознакомиться с РТМ 1495-75 и РД 11 0553-88 (руководство по применению Н1806ВМ2).

## 2 Назначение микросхемы

2.1 Микросхема предназначена для обмена последовательным кодом по ГОСТ 18977-79 и РТМ 1495-75.

Микросхема состоит из независимых передатчика и приемника, которые управляются с помощью трех регистров, имеют по одному вектору прерывания и одному каналу прямого доступа к памяти.

2.2 БИС ДПК выполнена по КМОП-технологии.

Кристалл, содержащий 3200 базовых ячеек, имеет заполнение 73 %.

2.3 Интерфейс абонента – системный канал микропроцессора Н1806ВМ2 (МПИ).

2.4 Корпус микросхемы – Н16.48-2В УФ0.481.005ТУ.

## 3 Устройство и работа

3.1 Структурная схема микросхемы приведена на рисунке 1.

3.2 Нумерация, обозначение и назначение выводов микросхемы приведены в таблице 1.

3.3 Условное графическое обозначение микросхемы приведено на рисунке 2.

|             |              |             |             |             | ИРВЖ.431262.071-006ТО | Лист |
|-------------|--------------|-------------|-------------|-------------|-----------------------|------|
|             |              |             |             |             |                       | 3    |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |      |
|             |              |             |             |             |                       |      |

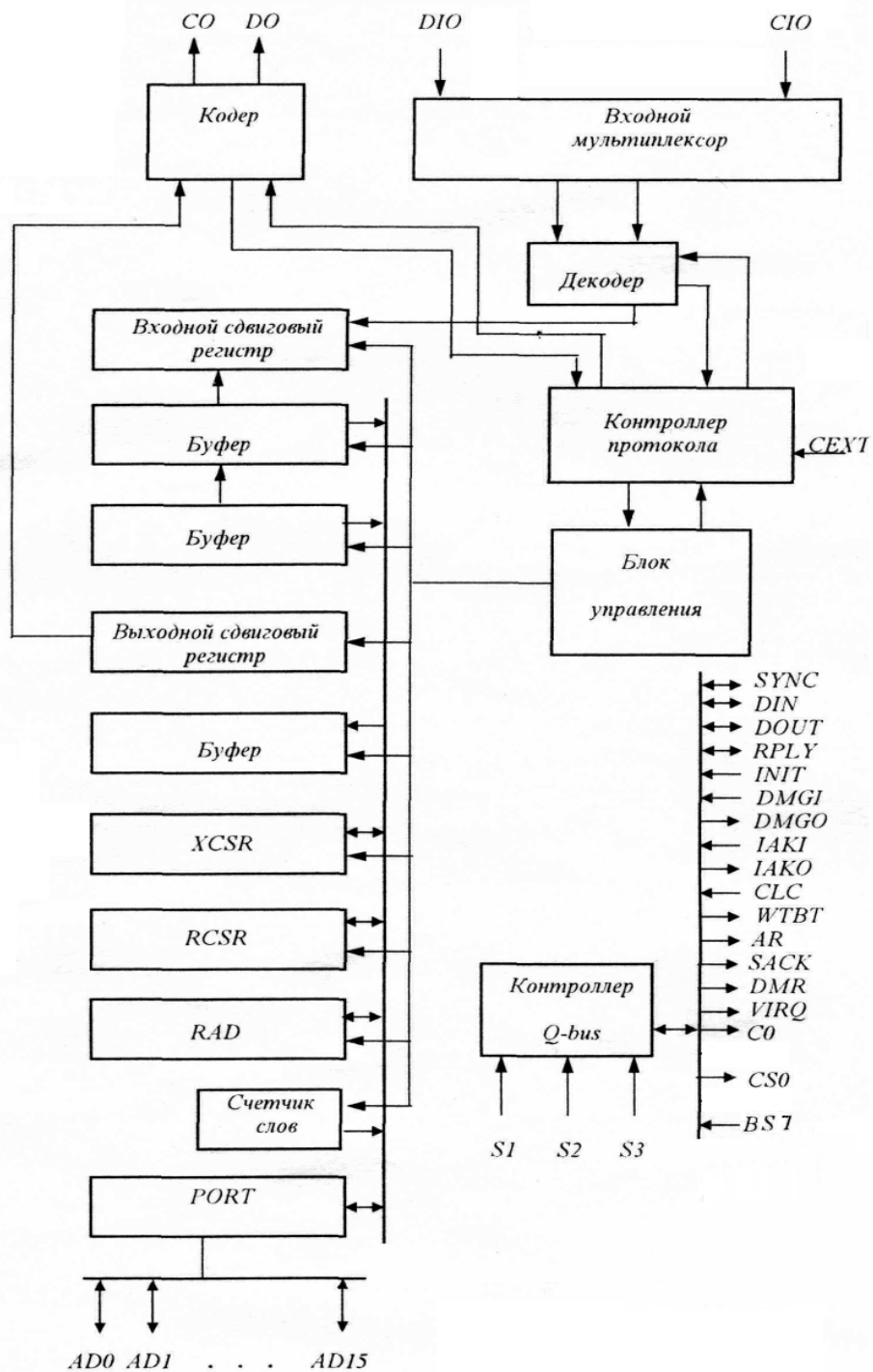


Рисунок 1 – Структурная схема микросхемы Н1582ВЖЗБ-0267

|             |              |             |             |             |                       |  |      |
|-------------|--------------|-------------|-------------|-------------|-----------------------|--|------|
|             |              |             |             |             | ИРВЖ.431262.071-006ТО |  | Лист |
|             |              |             |             |             |                       |  | 4    |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |  |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |  |      |
|             |              |             |             |             |                       |  |      |

|    |      |     |             |         |
|----|------|-----|-------------|---------|
| 44 | SYNC | MBA | AD0...AD3   | 4...7   |
| 42 | DIN  |     | AD4...AD9   | 9...14  |
| 43 | DOUT |     | AD10...AD15 | 16...21 |
| 32 | RPLY |     |             |         |
| 30 | BS7  |     | WTBT        | 48      |
|    |      |     | AR          | 37      |
| 27 | INIT |     | SACK        | 38      |
| 1  | DMGI |     | DMR         | 40      |
| 34 | IAKI |     | VIRQ        | 35      |
| 29 | CLC  |     | DMGO        | 41      |
| 2  | DI0  |     | IAKO        | 26      |
| 3  | CI0  |     | C0          | 33      |
|    |      |     |             |         |
| 22 | CEXT |     | CS0         | 28      |
|    |      |     |             |         |
| 23 | S1   |     | DO          | 45      |
| 31 | S2   |     | CO          | 47      |
| 25 | S3   |     |             |         |

Рисунок 2 – Условное графическое обозначение микросхемы Н1582ВЖЗБ-0267

|              |              |             |              |             |                       |  |      |
|--------------|--------------|-------------|--------------|-------------|-----------------------|--|------|
|              |              |             |              |             | ИРВЖ.431262.071-006ТО |  | Лист |
|              |              |             |              |             |                       |  | 5    |
| Изм.         | Лист         | № докум.    | Подп.        | Дата        |                       |  |      |
| Инов.№ подл. | Подп. и дата | Взам.инв. № | Инов.№ дубл. | Подп и дата |                       |  |      |
|              |              |             |              |             |                       |  |      |

#### 4 Технические данные

|  |   |           |
|--|---|-----------|
| 4.1 Напряжение питания   | – | 5 В±10 %; |
| 4.2 Ток потребления, не более  | – | 2,5 мА;   |
| 4.3 Выходной ток низкого уровня при $U_{пит} = 5,5$ В; $U_{вых} = 0,4$ В<br>не менее ( $t = \text{минус } 60 \dots 125$ °С)  | – | 2 мА;     |
| 4.4 Выходной ток высокого уровня при $U_{пит} = 4,5$ В; $U_{вых} = 4,1$ В<br>не менее ( $t = \text{минус } 60 \dots 125$ °С) | – | -0,8 мА;  |
| 4.4 Емкость нагрузки:  |   |           |
| предельно-допустимая   | – | 100 пФ;   |
| предельная   | – | 200 пФ    |

#### 5 Описание выводов БИС ДПК

5.1 Краткое описание выводов БИС:

AD0...AD15, SYNC, AR, DOUT, DIN, RPLAY, WTBT, VIRQ, IAKT, IAKO, DMR, DMGI, DMGO, SACK, INIT – сигналы системной магистрали микропроцессора 1806BM2;

S1, S2, S3 – выбор группы адресов на системной магистрали;

CLCI – вход тактовых импульсов синхронизации обмена по системной магистрали;

DI0 – вход данных последовательного канала;

CI0 – вход синхронизации последовательного канала;

DO, CO – выходы данных и синхронизации последовательного канала;

CO – выход управления МПП шины данных AD0...AD15, при выводе данных на магистраль CO = 0;

CS0 – выход управления МПП сигналов управления SYNC, DIN, DOUT, RPLY, WTBT, CS0 = HE-SACK;

|             |              |             |             |             | ИРВЖ.431262.071-006ТО | Лист |
|-------------|--------------|-------------|-------------|-------------|-----------------------|------|
|             |              |             |             |             |                       | 6    |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |      |
|             |              |             |             |             |                       |      |

Таблица 1 – Нумерация, обозначение и назначение выводов микросхемы

| Номер вывода | Тип буфера | Условное обозначение | Назначение вывода                              |
|--------------|------------|----------------------|--|
| 1            | 1          | DMGI                 | Вход сигнала разрешения ПДП                    |
| 2            | 1          | DI0                  | Вход данных последовательного канала 0         |
| 3            | 1          | CI0                  | Вход синхронизации канала 0                    |
| 4            | 4          | AD0                  | Вход/выход 0 разряда магистрали адреса-данных  |
| 5            | 4          | AD1                  | Вход/выход 1 разряда магистрали адреса-данных  |
| 6            | 4          | AD2                  | Вход/выход 2 разряда магистрали адреса-данных  |
| 7            | 4          | AD3                  | Вход/выход 3 разряда магистрали адреса-данных  |
| 8            | -          | 0 В                  | Земля  |
| 9            | 4          | AD4                  | Вход/выход 4 разряда магистрали адреса-данных  |
| 10           | 4          | AD5                  | Вход/выход 5 разряда магистрали адреса-данных  |
| 11           | 4          | AD6                  | Вход/выход 6 разряда магистрали адреса-данных  |
| 12           | 4          | AD7                  | Вход/выход 7 разряда магистрали адреса-данных  |
| 13           | 4          | AD8                  | Вход/выход 8 разряда магистрали адреса-данных  |
| 14           | 4          | AD9                  | Вход/выход 9 разряда магистрали адреса-данных  |
| 15           | -          | Ер                   | Питание  |
| 16           | 4          | AD10                 | Вход/выход 10 разряда магистрали адреса-данных |
| 17           | 4          | AD11                 | Вход/выход 11 разряда магистрали адреса-данных |
| 18           | 4          | AD12                 | Вход/выход 12 разряда магистрали адреса-данных |
| 19           | 4          | AD13                 | Вход/выход 13 разряда магистрали адреса-данных |
| 20           | 4          | AD14                 | Вход/выход 14 разряда магистрали адреса-данных |
| 21           | 4          | AD15                 | Вход/выход 15 разряда магистрали адреса-данных |
| 22           | 1          | СЕХТ                 | Вход внешнего сигнала тактовой частоты         |
| 23           | 1          | S1                   | Вход выбора группы адресов                     |
| 24           | -          | Ер                   | Питание  |
| 25           | 1          | S3                   | Вход выбора группы адресов                     |
| 26           | 3          | IAKO                 | Выход сигнала разрешения прерывания            |
| 27           | 1          | INIT                 | Вход сигнала общего сброса                     |
| 28           | 3          | CS0                  | Выход управления буферами магистрали AD        |

|             |              |          |             |             |                       |  |      |
|-------------|--------------|----------|-------------|-------------|-----------------------|--|------|
|             |              |          |             |             | ИРВЖ.431262.071-006ТО |  | Лист |
|             |              |          |             |             |                       |  | 7    |
| Изм.        | Лист         | № докум. | Подп.       | Дата        |                       |  |      |
| Инв.№ подл. | Подп. и дата |          | Взам.инв. № | Инв.№ дубл. | Подп и дата           |  |      |
|             |              |          |             |             |                       |  |      |

| Номер вывода | Тип буфера | Условное обозначение | Назначение вывода                                      |
|--------------|------------|----------------------|--|
| 29           | 1          | CLC                  | Вход тактового сигнала системной магистрали            |
| 30           | 1          | BS7                  | Вход обращения к пространству адресов ввода/вывода     |
| 31           | 1          | S2                   | Вход выбора группы адресов                             |
| 32           | 5          | RPLY                 | Вход/выход сигнала подтверждения обмена                |
| 33           | 3          | C0                   | Выход управления буферами магистрали AD                |
| 34           | 1          | IAKI                 | Вход сигнала разрешения прерывания                     |
| 35           | 2          | VIRQ                 | Выход сигнала запроса прерывания                       |
| 36           | -          | 0B                   | Земля  |
| 37           | 5          | AR                   | Выход подтверждения приема адреса                      |
| 38           | 5          | SACK                 | Выход сигнала подтверждения захвата магистрали         |
| 39           | -          | Ep                   | Питание  |
| 40           | 2          | DMR                  | Выход сигнала запроса ПДП                              |
| 41           | 3          | DMGO                 | Выход сигнала разрешения ПДП                           |
| 42           | 4          | DIN                  | Вход/выход сигнала записи системной магистрали         |
| 43           | 4          | DOUT                 | Вход/выход сигнала чтения системной магистрали         |
| 44           | 4          | SYNC                 | Вход/выход сигнала синхроимпульса системной магистрали |
| 45           | 3          | DO                   | Выход данных последовательного канала                  |
| 46           | -          | 0B                   | Земля  |
| 47           | 3          | CO                   | Выход синхронизации                                    |
| 48           | 4          | WTBT                 | Выход чтение/запись                                    |

|             |              |             |             |             |                       |  |      |
|-------------|--------------|-------------|-------------|-------------|-----------------------|--|------|
|             |              |             |             |             | ИРВЖ.431262.071-006ТО |  | Лист |
|             |              |             |             |             |                       |  | 8    |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |  |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |  |      |
|             |              |             |             |             |                       |  |      |



## 6 Функционирование БИС

6.1 БИС управляется с помощью трех регистров, состояние которых определяет скорость приема и передачи данных, базовые адреса расположения данных в ОЗУ, цикличность работы и диагностику ошибок:

регистр XCSR – регистр состояния-управления передатчика, предназначен для управления передатчиком и чтения текущего состояния;

регистр RCSR – регистр состояния-управления приемником, предназначен для управления приемником и чтения текущего состояния;

регистр RAD – регистр адресации приемника.

6.2 Назначение разрядов регистра состояния и управления передатчиком (XCSR):

10-15 разряды – базовый адрес обращения к ОЗУ;

9 разряд – ошибка обращения к ОЗУ в режиме ПДП;

8 разряд – разрешение циклической работы передатчика;

7 разряд – готовность передатчика, устанавливается независимо от режима;

6 разряд – разрешение прерывания по установке 7 разряда;

4, 5 разряды – выбор частоты передачи, 00...12,5 кГц, 01...50 кГц, 10...100 кГц;

11 разряд – задается внешним сигналом  $f = f(C_{EXT})/4$ ;

1 разряд – результат контроля четности передаваемого слова;

0 разряд – GO – запуск передатчика.

Передатчик запускается установкой в "1" нулевого разряда регистра XCSR. Он начинает выдавать в последовательный канал 32-х разрядные слова, выбирая их из ОЗУ в порядке возрастания адресов в режиме ПДП, начиная с адреса, в котором 10-15 разряды – это базовый адрес из XCSR, а остальные – 0. При этом разряды 15-0 слова в ОЗУ с адресом XXXXX0 (XXXXX4) соответствуют 1-16 разрядам слова ДПК, а разряды 15-1 слова в ОЗУ с адресом XXXXX2 (XXXXX6) соответствуют 17-31 разрядам слова ДПК. 32-й разряд слова ДПК – всегда результат дополнения до нечетного числа единиц. Передатчик останавливается или начинает передачу сначала (в зависимости от состояния 8 разряда XCSR), если в нулевом разряде слова из ОЗУ с адресом XXXXX2 (XXXXX6) установлена "1". Если такого слова в блоке из 256 слов не найдено, то передача прекращается только по сбросу 0 разряда XCSR. Передатчик формирует между словами паузу 4Т.

|             |              |             |             |             | ИРВЖ.431262.071-006ТО | Лист |
|-------------|--------------|-------------|-------------|-------------|-----------------------|------|
|             |              |             |             |             |                       | 9    |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |      |
|             |              |             |             |             |                       |      |

6.2.1 В целях совместимости с аппаратурой старой разработки в микросхеме введена возможность установить передатчик в режим формирования паузы 8Т. Для этого необходимо записать в 1 разряд XCSR единицу. Данный параметр не отображается при чтении регистра.

6.3 Назначение регистра состояния и управления приемником (RCSR):

12 разряд – разрешение обновления базового адреса/записи слова управления в ОЗУ;

11 разряд – разрешение обработки слова управления (разрешение компаратора адреса);

10 разряд – ошибка приема;

9 разряд – ошибка обращения к ОЗУ в режиме ПДП;

8 разряд – разрешение циклической работы приемника;

7 разряд – готовность приемника;

6 разряд – разрешение прерывания (по установке разрядов 10, 9, 7);

4, 5 разряды – выбор частоты работы приемника;

1 разряд – самоконтроль;

0 разряд – GO – разрешение работы приемника.

Приемник готов к приему слова ДПК после установки в "1" нулевого разряда регистра RCSR. Приемник осуществляет свертку по mod 2 принимаемой информации (биты 1-32 слова ДПК). Результат должен быть равен "1". Контроль достоверности принятого слова проводится по совокупности выполнения следующих условий:

- принято 32 бита информации;
- результат свертки равен "1";
- наличие паузы (более 1,5 Т рабочей частоты приемника) в принимаемой последовательности в конце слова.

В зависимости от состояния 11 разряда RCSR приемник следит за адресом принимаемых слов ДПК (первые 8 разрядов слова ДПК) и в случае совпадения значений в 1-8 разрядах слова ДПК с 7-0 разрядами RAD соответственно, интерпретирует его как слово управления. В случае получения слова управления приемник либо переписывает это слово в ОЗУ (12 разряд RCSR равен 0), либо (12 разряд RCSR равен 1) переписывает 9-11 разряды этого слова в 12-10 разряды RAD соответственно, изменяя таким образом адрес обращения к ОЗУ в режиме ПДП.

|             |              |             |             |             |                       |      |
|-------------|--------------|-------------|-------------|-------------|-----------------------|------|
|             |              |             |             |             | ИРВЖ.431262.071-006ТО | Лист |
|             |              |             |             |             |                       | 10   |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |      |
|             |              |             |             |             |                       |      |

В случае установки 11 разряда RCSR в "0", приемник переписывает в ОЗУ все пришедшие слова, пока 0-й разряд RCSR (GO) установлен в "1" или пока не произошла ошибка приема или ПДП. При установке 11 разряда RCSR в "1" возможны два режима работы приемника в зависимости от состояния 8 разряда RCSR - циклический и однократный. В любом случае после установки GO в "1" приемник начнет запись слов ДПК в ОЗУ после прихода первого управляющего слова. В случае однократного режима работы приемник завершит прием (и сбросит GO) после прихода второго управляющего слова и выдаст прерывание, если оно разрешено.

#### 6.4 Назначение регистра адреса приемника (RAD):

13-15 разряды – базовый адрес обращения к ОЗУ в режиме ПДП;

10-12 разряды – номер группы слов. Доступ по чтению и записи. При получении слова управления из него заносятся соответствующие разряды номера группы слов;

8, 9 разряды – не используются;

0-7 разряды – адрес слова управления.

#### 6.5 Формирование адреса обращения к памяти

6.5.1 Правила формирования адреса ОЗУ для принимаемых или передаваемых данных приведены в таблице 2. Необходимо обратить внимание на возможность изменения базового адреса ПДП (12-10 разряды) с помощью принятого управляющего слова.

Таблица 2 – Правила формирования адреса ОЗУ

|       |  |
|-------|--|
| 15-13 | Старшие 3 разряда базового адреса обращения к памяти из XCSR для передатчика. Базовый адрес обращения из RAD для приемника.  |
| 12-10 | Младшие 3 разряда базового адреса обращения к памяти из XCSR для передатчика. Номер группы слов из RAD для приемника.  |
| 9-2   | Значение счетчика передаваемых слов для передатчика. Значение адреса принятого слова ДПК для приемника ( 1-8 разряды принятого слова).   |
| 1     | Адресация двух 16-ти разрядных слов, составляющих слово ДПК.<br>"0" - адрес 1-16 бит слова ДПК;<br>"1" - адрес 17-32 бит слова ДПК для приемника, для передатчика 17-31 биты передаваемого слова и признак окончания группы. |

|             |              |             |             |             |                       |  |      |
|-------------|--------------|-------------|-------------|-------------|-----------------------|--|------|
|             |              |             |             |             | ИРВЖ.431262.071-006ТО |  | Лист |
|             |              |             |             |             |                       |  | 11   |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |  |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |  |      |
|             |              |             |             |             |                       |  |      |

## 6.6 Выбор группы адресов

6.6.1 Адреса регистров и векторов прерывания в зависимости от распайки выводов S1, S2, S3 приведены в таблице 3. Таким образом в системе может быть использовано одновременно до 8 контроллеров ДПК.

Таблица 3 – Адреса регистров и векторов прерывания в зависимости от распайки выводов S1, S2, S3

| S1,S2,S3 | 0,0,1  | 1,0,1  | 0,1,1  | 1,1,1  | 0,0,0  | 1,0,0  | 0,1,0  | 1,1,0  |
|----------|--------|--------|--------|--------|--------|--------|--------|--------|
| RCSR     | 174400 | 174410 | 174420 | 174430 | 164400 | 164410 | 164420 | 164430 |
| XCSR     | 174402 | 174412 | 174422 | 174432 | 164402 | 164412 | 164422 | 164432 |
| RAD      | 174404 | 174414 | 174424 | 174434 | 164404 | 164414 | 164424 | 164434 |
| VEC R    | 240    | 250    | 260    | 270    | 340    | 350    | 360    | 370    |

|             |              |             |             |             |                       |  |  |      |
|-------------|--------------|-------------|-------------|-------------|-----------------------|--|--|------|
|             |              |             |             |             | ИРВЖ.431262.071-006ТО |  |  | Лист |
|             |              |             |             |             |                       |  |  | 12   |
| Изм.        | Лист         | № докум.    | Подп.       | Дата        |                       |  |  |      |
| Инв.№ подл. | Подп. и дата | Взам.инв. № | Инв.№ дубл. | Подп и дата |                       |  |  |      |
|             |              |             |             |             |                       |  |  |      |

