

Л.А.Сергеева

В.А.Рябышкин

Зам. генерального директора по качеству

Эксперт-метролог

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

УТВЕРЖДАЮ

Генеральный директор
ОАО НПО «Физика»

И.М.Гуляев

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ Н1582ВЖЗБ-0271

Техническое описание
ИРВЖ.431262.071-007ТО

СОГЛАСОВАНО

Заместитель генерального директора
ОАО НПО «Физика»
по научной работе и производству

В.А.Власов

2008

1 Наименование

Микросхема "восьмиканальный приемник парафазного кода".

2 Назначение микросхемы

Микросхема интегральная Н1582ВЖЗБ-0271 (далее – микросхема) предназначена для применения в системах сбора информации.

Микросхема обеспечивает прием данных с восьми последовательных каналов связи с парафазным кодированием информации и передачу их БИС интерфейса мультиплексного канала по ГОСТ 26765.52-87 Н1582ВЖ2-0361.

Микросхема выполнена по полупроводниковой КМОП-технологии.

Условное графическое изображение на рисунке 1.

Структурная блок-схема микросхемы приведена на рисунке 2.

Наименование и назначение выводов в таблице 1.

3 Описание парафазного кодирования

Парафазное кодирование информации, что следует уже из названия, предполагает передачу каждого бита данных с использованием двух информационных линий:

- линии "0";
- линии "1".

Передача "нуля" кодируется подачей импульсного сигнала на линию "0", а передача "единицы" – подачей импульсного сигнала на линию "1".

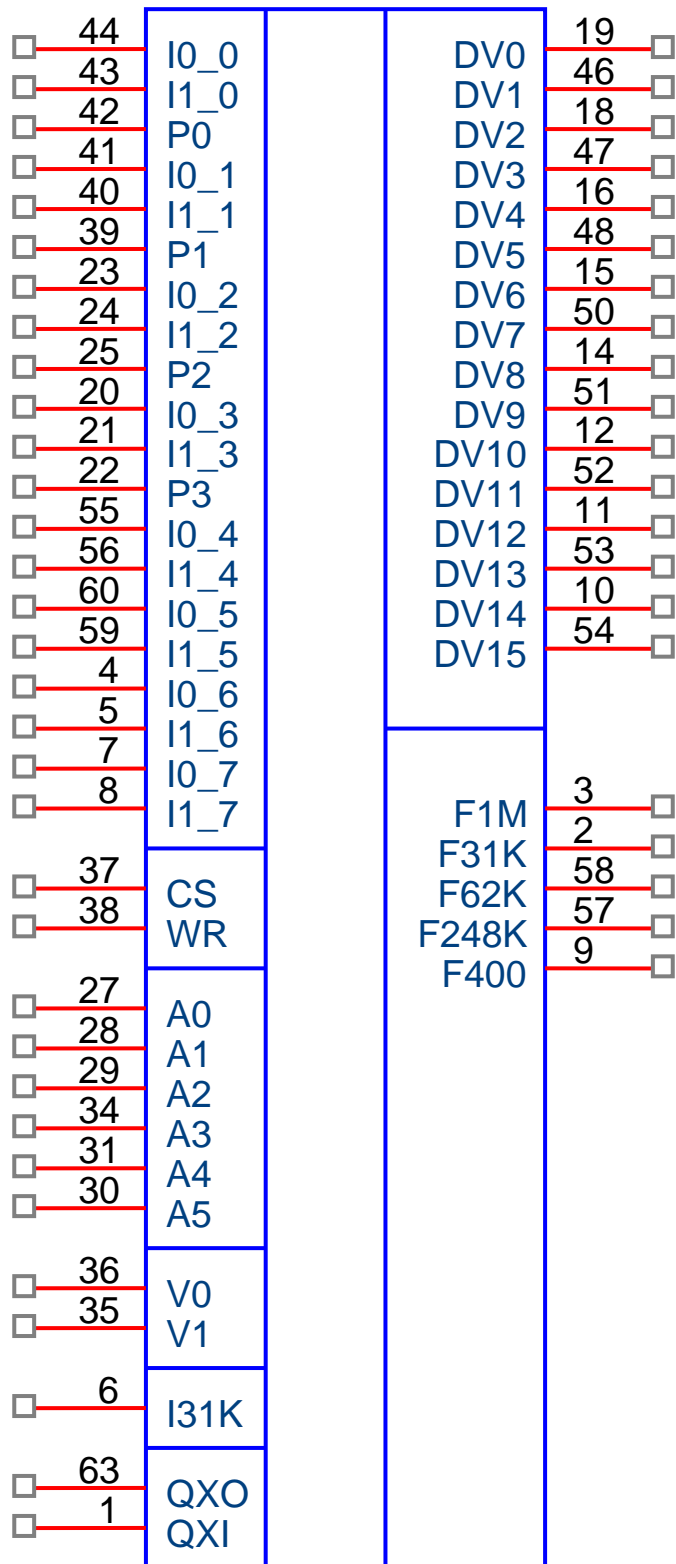
Все передаваемые сообщения имеют формат 16-ти битных слов с контролем по четности следующего формата:

- 16 бит данных;
 - бит четности (добавляется для получения нечетного числа импульсов в линии "1" и четного числа импульсов в линии "0");
- специальный разделительный маркер.

Если правила четностей в принятом слове не выполняются, то вся посылка игнорируется.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

					ИРВЖ.431262.071-007ТО	Лист
Изм.	Лист	№ докум.	Подп.	Дата		3



N1582BЖЗБ-0271

Рисунок 1 – Условное графическое обозначение микросхемы N1582BЖЗБ-0271

Инд. № подл.	Подп. и дата
Взам. инв. №	Инд. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.071-007ТО	Лист 4

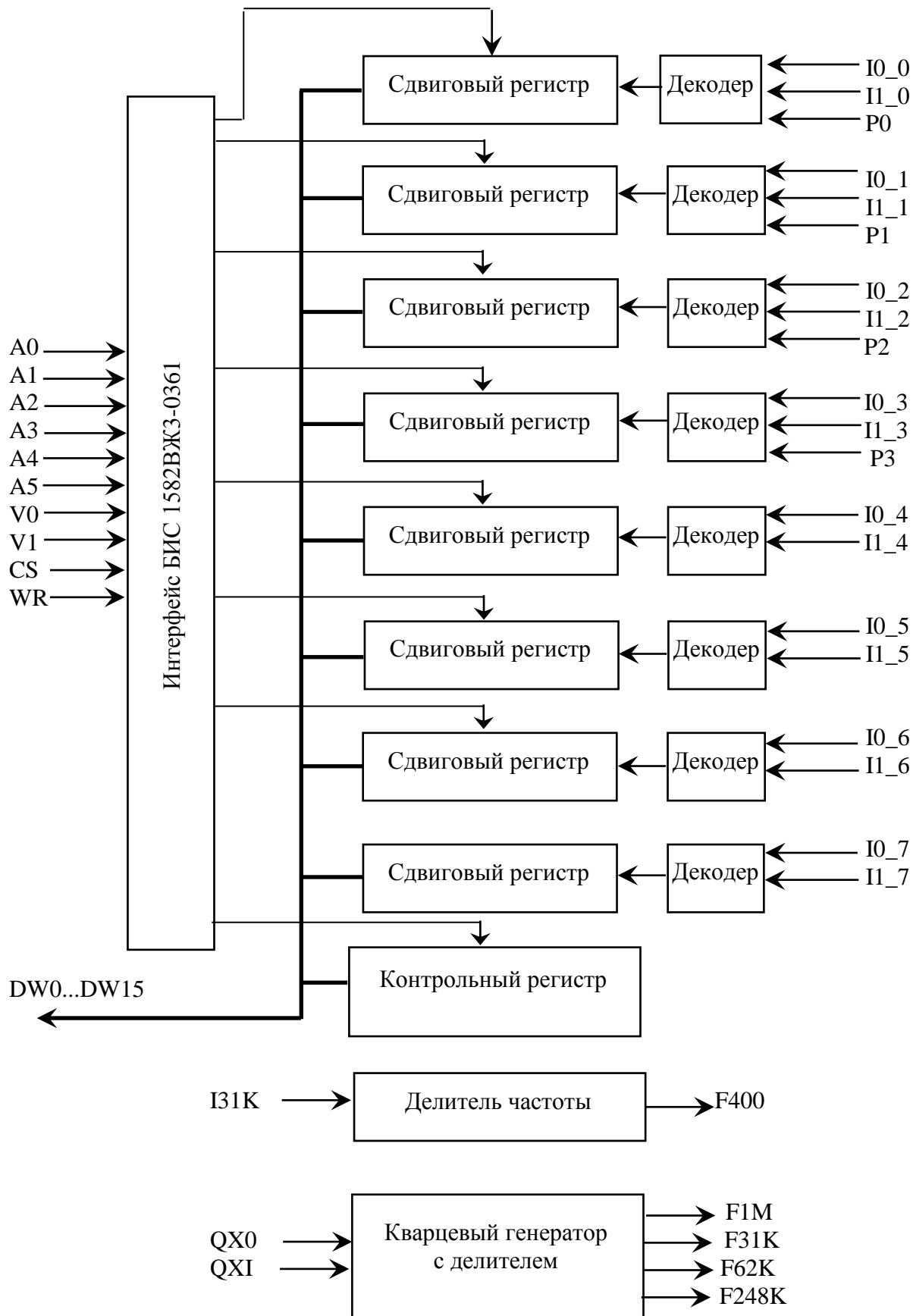


Рисунок 2 – Структурная схема микросхемы Н1582ВЖЗБ-0271

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

Номер вывода	Обозначение вывода	Наименование буферного элемента	Наименование вывода
1	QX1	F3032	Вход подключения кварца
2	F31K	F3035	Выход частоты 31 кГц
3	F1M	F3035	Выход частоты 1 МГц
4	I0_6	F3032	Вход "0" 6-го последовательного канала
5	I1_6	F3032	Вход "1" 6-го последовательного канала
6	I31K	F3032	Вход делителя частоты 400 Гц
7	I0_7	F3032	Вход "0" 7-го последовательного канала
8	I1_7	F3032	Вход "1" 7-го последовательного канала
9	F400	F3035	Выход частоты 400 Гц
10	DV14	F3036	Выход 14-го разряда параллельной шины данных
11	DV12	F3036	Выход 12-го разряда параллельной шины данных
12	DV10	F3036	Выход 10-го разряда параллельной шины данных
13	Gnd	-	Общий
14	DV8	F3036	Выход 8-го разряда параллельной шины данных
15	DV6	F3036	Выход 6-го разряда параллельной шины данных
16	DV4	F3036	Выход 4-го разряда параллельной шины данных
17	+5 V	-	Питание
18	DV2	F3036	Выход 2-го разряда параллельной шины данных
19	DV0	F3036	Выход 0-го разряда параллельной шины данных
20	I0_3	F3032	Вход "0" 3-го последовательного канала
21	I1_3	F3032	Вход "1" 3-го последовательного канала
22	P3	F3032	Вход разрешения контроля четности в канале 3
23	I0_2	F3032	Вход "0" 2-го последовательного канала
24	I1_2	F3032	Вход "1" 2-го последовательного канала
25	P2	F3032	Вход разрешения контроля четности в канале 2
26	F1	F3035	Выход технологический
27	A0	F3032	Вход 0-го разряда шины адреса
28	A1	F3032	Вход 1-го разряда шины адреса
29	A2	F3032	Вход 2-го разряда шины адреса
30	A5	F3032	Вход 5-го разряда шины адреса
31	A4	F3032	Вход 4-го разряда шины адреса
32	+5 V	-	Питание
33	-	-	-
34	A3	F3032	Вход 3-го разряда шины адреса
35	V1	F3032	Вход 1 программирования номера микросхемы
36	V0	F3032	Вход 0 программирования номера микросхемы
37	CS	F3033	Вход сигнала синхронизации обмена
38	WR	F3032	Вход сигнала синхронизации записи
39	P1	F3032	Вход разрешения контроля четности в канале 1
40	I1_1	F3032	Вход "1" 1-го последовательного канала

Продолжение таблицы 1

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.071-007ТО	Лист 8

Номер вывода	Обозначение вывода	Наименование буферного элемента	Наименование вывода
41	I0_1	F3032	Вход "0" 1-го последовательного канала
42	P0	F3032	Вход разрешения контроля четности в канале 0
43	I1_0	F3032	Вход "1" 0-го последовательного канала
44	I0_0	F3032	Вход "0" 0-го последовательного канала
45	Gnd	-	Общий
46	DV1	F3036	Выход 1-го разряда параллельной шины данных
47	DV3	F3036	Выход 3-го разряда параллельной шины данных
48	DV5	F3036	Выход 5-го разряда параллельной шины данных
49	+5 V	-	Питание
50	DV7	F3036	Выход 7-го разряда параллельной шины данных
51	DV9	F3036	Выход 9-го разряда параллельной шины данных
52	DV11	F3036	Выход 11-го разряда параллельной шины данных
53	DV13	F3036	Выход 13-го разряда параллельной шины данных
54	DV15	F3036	Выход 15-го разряда параллельной шины данных
55	I0_4	F3032	Вход "0" 4-го последовательного канала
56	I1_4	F3032	Вход "1" 4-го последовательного канала
57	F248K	F3035	Выход частоты 248 кГц
58	F62K	F3035	Выход частоты 62 кГц
59	I1_5	F3032	Вход "1" 5-го последовательного канала
60	I0_5	F3032	Вход "0" 5-го последовательного канала
61	F2	F3035	Выход технологический
62	Gnd	-	Общий
63	QXO	F3243	Выход подключения кварца
64	+5 V	-	Питание

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

ИРВЖ.431262.071-007ТО

Лист

9

5 Указания по применению и эксплуатации

6.1 Указания и рекомендации по эксплуатации в соответствии с ОСТ В 11 0998.

6.2 При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы. Допустимое значение статического потенциала 200 В по ОСТ 11 073.062.

6.3 Режим и условия монтажа микросхем в аппаратуре – по ОСТ 11 В 073.063.

6.4 Рекомендуется начинать пайку с выводов питания. Пайку остальных выводов разрешается производить в любой последовательности. Все неиспользуемые входы микросхемы должны соединяться с шиной “питание” или “общий” в зависимости от выполняемой логической функции.

6.5 При ремонте аппаратуры и измерении параметров микросхемы в контактирующих устройствах замену микросхемы необходимо производить только при отключенных источниках питания.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ИРВЖ.431262.071-007ТО	Лист
						10
Изм.	Лист	№ докум.	Подп.	Дата		

Приложение А
(обязательное)
Ссылочные нормативные документы

Обозначение документа, на который дана ссылка	Номер раздела, подраздела, пункта, подпункта, приложения ТУ, в котором дана ссылка
ОСТ 11 073.062-84	6.2
ОСТ 11 073.063-84	6.3
ОСТ В 11 0998-99	6.1

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

					ИРВЖ.431262.071-007ТО
Изм.	Лист	№ докум.	Подп.	Дата	

