

Л.А.Сергеева

В.А.Рябышкин

Зам. генерального директора по качеству

Эксперт-метролог

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

УТВЕРЖДАЮ

Генеральный директор  
ОАО НПО «Физика»

И.М.Гуляев

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ Н1582ВЖ3В-0272

Техническое описание  
ИРВЖ.431262.030-022ТО

СОГЛАСОВАНО

Заместитель генерального директора  
ОАО НПО «Физика»  
по научной работе и производству

В.А.Власов

2008

## Содержание

1	Наименование.....	3
2	Назначение микросхемы.....	3
3	Описание парафазного кодирования.....	3
4	Устройство и работа.....	5
5	Указания по применению и эксплуатации.....	10
	Приложение А (обязательное). Ссылочные нормативные документы.....	11

Подп. и дата														
Взам. инв. №	Инв. № дубл.	Подп. и дата												
Подп. и дата	Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.030-022ТО								
Инв. № подл.	Разраб.	Алфёрова	МИКРОСХЕМА ИНТЕГРАЛЬНАЯ H1582ВЖЗВ-0272				Лит.	Лист	Листов					
	Пров.	Розе												
	Н. контр.	Сергеева М.												
Утв.	-					Техническое описание								

## 1 Наименование

Микросхема "восьмиканальный передатчик парафазного кода".

## 2 Назначение микросхемы

Микросхема интегральная Н1582ВЖЗВ-0272 (далее – микросхема) предназначена для применения в системах сбора информации.

Микросхема обеспечивает прием данных от БИС интерфейса мультиплексного канала по ГОСТ 26765.52 Н1582ВЖ2-0361 и передачу их на восемь последовательных каналов связи с парафазным кодированием информации.

Микросхема выполнена по полупроводниковой КМОП-технологии.

Структурная схема микросхемы приведена на рисунке 1.

Условное графическое изображение на рисунке 2.

Наименование и назначение выводов в таблице 1.

## 3 Описание парафазного кодирования

Парафазное кодирование информации, что следует уже из названия, предполагает передачу каждого бита данных с использованием двух информационных линий:

- линии "0";
- линии "1".

Передача "нуля" кодируется подачей импульсного сигнала на линию "0", а передача "единицы" – подачей импульсного сигнала на линию "1".

Все передаваемые сообщения имеют формат 16-битных слов с контролем по четности следующего формата:

- 16 бит данных;
- бит четности (добавляется для получения нечетного числа импульсов в линии "1" и четного числа импульсов в линии "0");
- специальный разделительный маркер.

Если правила четностей в принятом слове не выполняются, то вся посылка игнорируется.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

					ИРВЖ.431262.030-022ТО	Лист 3
Изм.	Лист	№ докум.	Подп.	Дата		

Физически процесс передачи слова выглядит следующим образом:

- в исходном состоянии обе информационные линии имеют потенциал близкий к напряжению питания, распознаваемый электронными схемами как логическая единица;
- передача данных начинается без преамбулы;
- если нужно передать "единицу", то на линии "1" формируется следующая импульсная последовательность: логическая "1" – 1 мкс, логический "0" – 2 мкс, логическая "1" – 1 мкс;
- если нужно передать "ноль", то та же последовательность формируется на линии "0";
- любая передача завершается разделительным маркером – описанная выше последовательность формируется одновременно на обеих линиях.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ИРВЖ.431262.030-022ТО	Лист
						4
Изм.	Лист	№ докум.	Подп.	Дата		

#### 4 Устройство и работа

Микросхема состоит из восьми независимых последовательных каналов передачи, каждый из которых включает в себя:

- 16-разрядный сдвиговый регистр;
- кодер выходного кода;
- схему формирования битов контроля четности в передаваемом слове.

Также в микросхему входят:

- блок интерфейса к микросхеме H1582ВЖ20361;
- кварцевый генератор с делителем частоты.

Для организации интерфейса к микросхеме H1582ВЖ2-0361 используются пять адресных выводов A0...A4, два вывода адреса микросхемы V0, V1 и управляющие выходы CS и WR.

Чтобы записать информацию в сдвиговый регистр на выводах A0...A2 должен присутствовать номер сдвигового регистра, на выводах A3, A4 – адрес микросхемы, который должен совпадать с кодом на выводах V0, V1 и CS = 0, WR = 0. При выполнении этих условий, а также условия, что в адресуемом канале в данный момент не производится выдача данных от предыдущей операции, информация с выводов DV0...DV15 будет загружена в сдвиговый регистр. В противном случае операция игнорируется.

Сразу же после завершения операции загрузки сдвигового регистра осуществляется операция кодирования и выдачи последовательных данных в соответствующий канал (пара выводов Qu0\_x и Qu1\_x).

Для работы микросхемы требуется частота синхронизации, поэтому микросхема имеет в своем составе независимый кварцевый генератор (с наружным кварцем) с делителем частоты. При использовании кварцевого резонатора частотой 12 МГц на выводах QXO, F1M будут сформированы сигналы частотой 12 МГц и 1 МГц соответственно. Кварцевый резонатор следует подключить между выводами QXI и QXO.

Вывод RS используется для начальной установки схем управления микросхемы при включении питания. На этом выводе следует сформировать импульсный сигнал логического нуля.

Инт. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

Т а б л и ц а 1 – Нумерация и назначение выводов микросхемы

Номер вывода	Обозначение вывода	Наименование буферного элемента	Наименование вывода
1	-	-	-
2	-	-	-
3	-	-	-
4	DV15	F3032	Вход 15-го разряда параллельной шины данных
5	DV13	F3032	Вход 13-го разряда параллельной шины данных
6	DV11	F3032	Вход 11-го разряда параллельной шины данных
7	DV9	F3032	Вход 9-го разряда параллельной шины данных
8	-	-	-
9	DV7	F3032	Вход 7-го разряда параллельной шины данных
10	DV5	F3032	Вход 5-го разряда параллельной шины данных
11	DV3	F3032	Вход 3-го разряда параллельной шины данных
12	DV1	F3032	Вход 1-го разряда параллельной шины данных
13	Gnd	-	Общий
14	Qu0_7	F3035	Выход "0" 7-го последовательного канала
15	Qu1_7	F3035	Выход "1" 7-го последовательного канала
16	Qu0_6	F3035	Выход "0" 6-го последовательного канала
17	+5 V	-	Питание
18	Qu1_6	F3035	Выход "1" 6-го последовательного канала
19	Qu0_5	F3035	Выход "0" 5-го последовательного канала
20	Qu1_5	F3035	Выход "1" 5-го последовательного канала
21	Qu0_4	F3035	Выход "0" 4-го последовательного канала
22	Qu1_4	F3035	Выход "1" 4-го последовательного канала
23	-	-	-
24	-	-	-
25	V1	F3032	Вход 1 программирования номера микросхемы
26	V0	F3032	Вход 0 программирования номера микросхемы
27	A0	F3032	Вход 0-го разряда шины адреса
28	A1	F3032	Вход 1-го разряда шины адреса
29	A2	F3032	Вход 2-го разряда шины адреса
30	A5	F3032	Вход 5-го разряда шины адреса
31	A4	F3032	Вход 4-го разряда шины адреса
32	+5 V	-	Питание
33	-	-	-
34	WR	F3033	Вход сигнала синхронизации записи
35	CS	F3033	Вход сигнала синхронизации обмена
36	-	-	-
37	RS	F3233	Вход начальной установки
38	-	-	-
39	F1Mh	F3035	Выход сигнала частотой 1 МГц
40	QXO	F3243	Выход подключения кварца

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

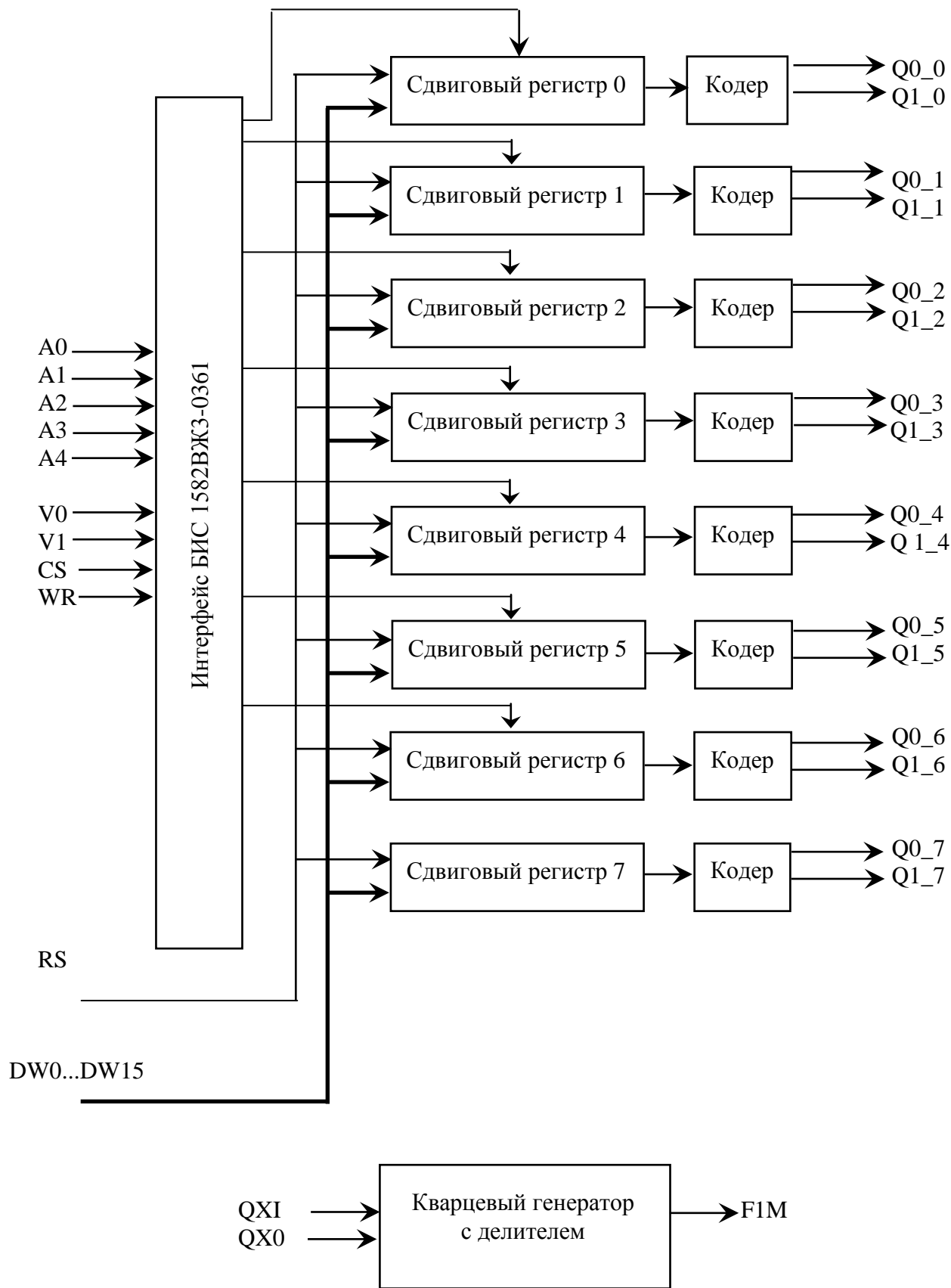
Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.030-022ТО	Лист 6

Продолжение таблицы 1

Номер вывода	Обозначение вывода	Наименование буферного элемента	Наименование вывода
41	QXI	F3032	Вход подключения кварца
42	Qu1_3	F3035	Выход "1" 3-го последовательного канала
43	Qu0_3	F3035	Выход "0" 3-го последовательного канала
44	Qu1_2	F3035	Выход "1" 2-го последовательного канала
45	Gnd	-	Общий
46	Qu0_2	F3035	Выход "0" 2-го последовательного канала
47	Qu1_1	F3035	Выход "1" 1-го последовательного канала
48	Qu0_1	F3035	Выход "0" 1-го последовательного канала
49	+5 V	-	Питание
50	Qu1_0	F3035	Выход "1" 0-го последовательного канала
51	Qu0_0	F3035	Выход "0" 0-го последовательного канала
52	DV0	F3032	Вход 0-го разряда параллельной шины данных
53	DV2	F3032	Вход 2-го разряда параллельной шины данных
54	DV4	F3032	Вход 4-го разряда параллельной шины данных
55	DV6	F3032	Вход 6-го разряда параллельной шины данных
56	-	-	-
57	DV8	F3032	Вход 8-го разряда параллельной шины данных
58	DV10	F3032	Вход 10-го разряда параллельной шины данных
59	DV12	F3032	Вход 12-го разряда параллельной шины данных
60	DV14	F3032	Вход 14-го разряда параллельной шины данных
61	-	-	-
62	Gnd	-	Общий
63	-	-	-
64	+5 V	-	Питание

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.030-022ТО	Лист 7

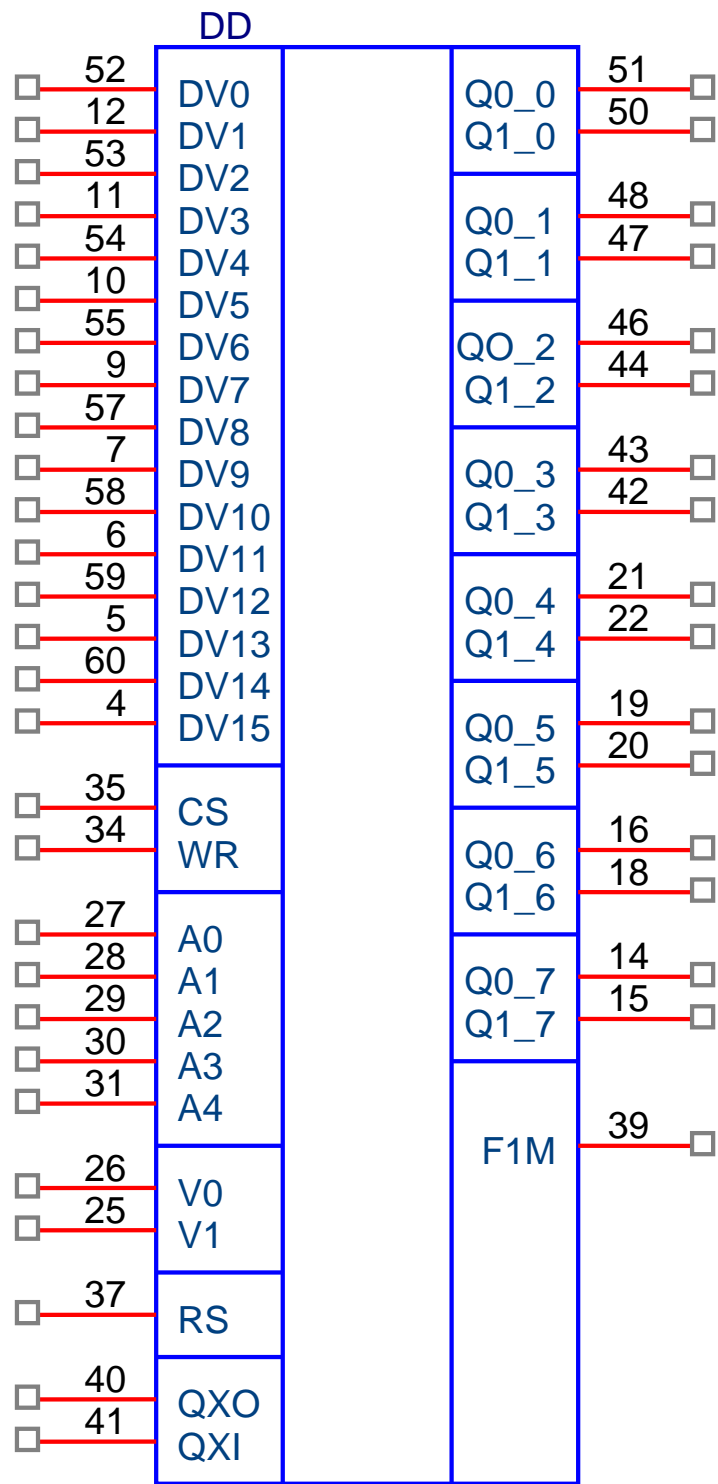


Р и с у н о к 1 – Структурная схема микросхемы Н1582ВЖЗВ-0272

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------





H1582BЖ3В-0272

Р и с у н о к 2 – Условное графическое обозначение микросхемы H1582BЖ3В-0272

Инд. № подл.	Подп. и дата
Взам. инв. №	Индв. № дубл.
Подп. и дата	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата
------	------	----------	-------	------

## 5 Указания по применению и эксплуатации

5.1 Указания и рекомендации по эксплуатации в соответствии с ОСТ В 11 0398.

5.2 При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы. Допустимое значение статического потенциала 200 В по ОСТ 11 073.062.

5.3 Режим и условия монтажа микросхем в аппаратуре – по ОСТ 11 073.063.

5.4 Рекомендуется начинать пайку с выводов питания. Пайку остальных выводов разрешается производить в любой последовательности. Все неиспользуемые входы микросхемы должны соединяться с шиной “питание” или “общий” в зависимости от выполняемой логической функции.

5.5 При ремонте аппаратуры и измерении параметров микросхемы в контактирующих устройствах замену микросхемы необходимо производить только при отключенных источниках питания.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	ИРВЖ.431262.030-022ТО	Лист
						10
Изм.	Лист	№ докум.	Подп.	Дата		

**Приложение А**  
(обязательное)  
**Ссылочные нормативные документы**

Обозначение документа, на который дана ссылка	Номер раздела, подраздела, пункта, подпункта, приложения ТУ, в котором дана ссылка
ГОСТ В 11 0398-2000	5.1
ГОСТ 26765.52-87	2
ОСТ 11 073.062-2001	5.2
ОСТ 11 073.063-84	5.3

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

ИРВЖ.431262.030-022ТО

Лист

11

