

УТВЕРЖДАЮ

Генеральный директор ОАО НПО «Физика»

_____ И.М. Гуляев

МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ

Н1582ВЖЗВ-0281, 1582ВЖЗД-0281

ИРВЖ.430102.003ТУ

Техническое описание

ИРВЖ.431262.030-028ТО

Главный конструктор

_____ А.В. Розе

2020

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Содержание

1 Наименование микросхемы.....	3
2 Область применения.....	3
3 Технические данные.....	3
4 Описание выводов.....	5
5 Структурная схема.....	7
6 Условное графическое изображение.....	8
7 Устройство и функционирование микросхемы.....	9
8 Описание алгоритма работы.....	10
9 Рекомендации по применению.....	12

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата				
					ИРВЖ.431262.030-028ТО			
					МИКРОСХЕМЫ ИНТЕГРАЛЬНЫЕ Н1582ВЖЗВ-0281 1582ВЖЗД-0281 Техническое описание	Лит.	Лист	Листов
Изм.	Лист	№ докум.	Подп.	Дата		2	13	
Разраб.		Чумакова						
Пров.		Власов						
Н. контр.		Сергеева М.						
Утв.		-						

3.4.2 Климатические факторы по базовым техническим условиям ИРВЖ.430102.003ТУ, в том числе:

Воздействующий фактор и его характеристика	Значение фактора
Атмосферное пониженное рабочее давление, Па (мм рт. ст.)	$1,3 \cdot 10^{-4}$ (10^{-6})
Повышенное рабочее давление, кПа (мм рт. ст.)	294 (2205)
Повышенная температура среды:	
- рабочая, °С	125;
- предельная, °С	125.
Пониженная температура среды:	
- рабочая, °С	минус 60;
- предельная, °С	минус 60.
Смена температур:	
- от пониженной предельной температуры среды, °С	минус 60;
- до повышенной предельной температуры среды, °С	125.
Повышенная относительная влажность при 35 °С, % (XI степень жесткости по ГОСТ РВ 20.57.406)	98

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

ИРВЖ.431262.030-028ТО

Лист

4

4 Описание выводов

4.1 Описание выводов микросхем Н1582ВЖ3В-0281, 1582ВЖ3Д-0281 приведено в таблице 1.

Т а б л и ц а 1 – Описание выводов микросхем Н1582ВЖ3В-0281, 1582ВЖ3Д-0281

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
1	ARINC_S	Выход	Канал ARINC синхронизация
2	ARINC_D	Выход	Канал ARINC данные
3-4	-	-	-
5	AUT_ADR ₂	Выход	2-ой разряд шины адреса ПЗУ
6	AUT_ADR ₁	Выход	1-ый разряд шины адреса ПЗУ
7	AUT_ADR ₀	Выход	0-ой разряд шины адреса ПЗУ
8	W	Вход	Разрешение передачи кода при W = 1 входного канала SL в разрядах A1 и A2. Подтянут к +5В резистором 5 кОм
9	A1	Вход/Выход	1-ый разряд программируемого поля адреса передаваемого слова ARINC
10	A3	Вход	3-ий разряд программируемого поля адреса передаваемого слова ARINC
11	A5	Вход	5-ый разряд программируемого поля адреса передаваемого слова ARINC
12	A7	Вход	7-ой разряд программируемого поля адреса передаваемого слова ARINC
13	GND	Питание	Общий
14	A14_A22	Вход	0-ой разряд считанного из ПЗУ байта
15	A15_A23	Вход	1-ый разряд считанного из ПЗУ байта
16	A16_A24	Вход	2-ой разряд считанного из ПЗУ байта
17	VCC	Питание	+5В
18	A17_A25	Вход	3-ий разряд считанного из ПЗУ байта
19	A18_A26	Вход	4-ый разряд считанного из ПЗУ байта
20	A19_A27	Вход	5-ый разряд считанного из ПЗУ байта
21	NReset	Вход	Начальный сброс. Подтянут к +5В резистором 5 кОм. Активный уровень низкий
22	A20_A28	Вход	6-ой разряд считанного из ПЗУ байта
23	A21_A29	Вход	7-ой разряд считанного из ПЗУ байта
24	-	-	-
25	IN1.4	Вход	Вход "единиц" 4-го канала SL
26	IN0.4	Вход	Вход "нулей" 4-го канала SL
27	IN1.3	Вход	Вход "единиц" 3-го канала SL
28	IN0.3	Вход	Вход "нулей" 3-го канала SL
29-30	-	-	-
31	AUT_ADR ₁₀	Выход	10-ый разряд шины адреса ПЗУ
32	VCC	Питание	+5В
33	-	-	-
34	AUT_ADR ₁₆	Выход	16-ый разряд шины адреса ПЗУ

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.030-028ТО	Лист 5

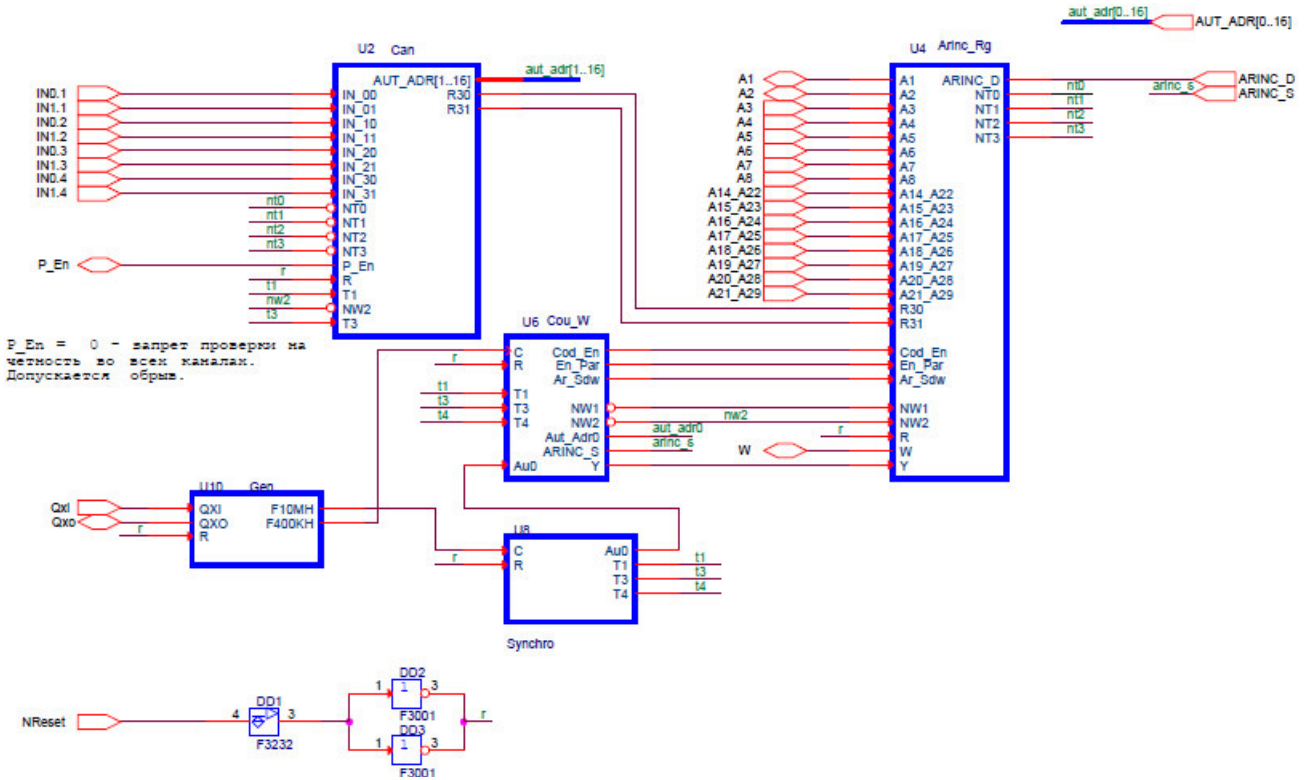
Продолжение таблицы 1

Номер вывода	Обозначение вывода	Тип вывода	Назначение вывода
35	AUT_ADR11	Выход	11-ый разряд шины адреса ПЗУ
36	Qxo	Выход	Подключение внешнего кварца на 10МГц
37	Qxi	Вход	Подключение внешнего кварца на 10МГц
38	IN1.2	Вход	Вход "единиц" 2-го канала SL
39	IN0.2	Вход	Вход "нулей" 2-го канала SL
40	IN1.1	Вход	Вход "единиц" 1-го канала SL
41	IN0.1	Вход	Вход "нулей" 1-го канала SL
42	AUT_ADR9	Выход	9-ый разряд шины адреса ПЗУ
43	AUT_ADR8	Выход	8-ой разряд шины адреса ПЗУ
44	P_En	Вход	Запрет проверки на четность на всех каналах SL. Подтянут к +5В резистором 5 кОм. Активный уровень низкий
45	GND	Питание	Общий
46	AUT_ADR13	Выход	13-ый разряд шины адреса ПЗУ
47	AUT_ADR14	Выход	14-ый разряд шины адреса ПЗУ
48	AUT_ADR15	Выход	15-ый разряд шины адреса ПЗУ
49	VCC	Питание	+5В
50	AUT_ADR12	Выход	12-ый разряд шины адреса ПЗУ
51	AUT_ADR7	Выход	7-ой разряд шины адреса ПЗУ
52	AUT_ADR6	Выход	6-ой разряд шины адреса ПЗУ
53	A8	Вход	8-ой разряд программируемого поля адреса передаваемого слова ARINC
54	A6	Вход	6-ой разряд программируемого поля адреса передаваемого слова ARINC
55	A4	Вход	4-ый разряд программируемого поля адреса передаваемого слова ARINC
56	A2	Вход/Выход	2-ой разряд программируемого поля адреса передаваемого слова ARINC
57-58	-	-	-
59	AUT_ADR5	Выход	5-ый разряд шины адреса ПЗУ
60	AUT_ADR4	Выход	4-ый разряд шины адреса ПЗУ
61	AUT_ADR3	Выход	3-ий разряд шины адреса ПЗУ
62	GND	Питание	Общий
63	-	-	-
64	VCC	Питание	+5В

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

5 Структурная схема

Структурная схема микросхем Н1582ВЖЗВ-0281, 1582ВЖЗД-0281 приведена на рисунке 1.



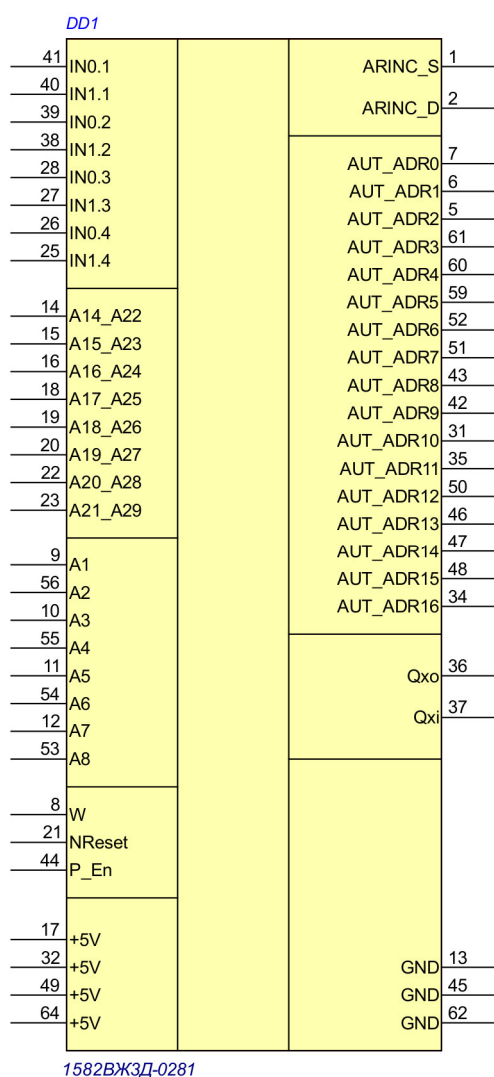
Р и с у н о к 1 – Структурная схема микросхем Н1582ВЖЗВ-0281, 1582ВЖЗД-0281

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

6 Условное графическое обозначение

Условное графическое обозначение микросхем Н1582ВЖ3В-0281, 1582ВЖ3Д-0281 показано на рисунке 2.



Р и с у н о к 2 – Условное графическое обозначение микросхем Н1582ВЖ3В-0281, 1582ВЖ3Д-0281

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата

7 Устройство и функционирование микросхемы

Микросхемы Н1582ВЖ3В-0281, 1582ВЖ3Д-0281 состоят из:

- четырех приемников информации по каналам SL;
- передатчика канала ARINC-429;
- контроллера ПЗУ.

Микросхемы Н1582ВЖ3В-0281, 1582ВЖ3Д-0281 принимают информацию по SL каналу (микросборки преобразователей "угол-код" осуществляют преобразование аналоговых сигналов с датчиков СКТ в цифровой код, соответствующий Tg/Ctg измеряемого угла) и при помощи ПЗУ производят преобразование Tg/Ctg в непосредственно код угла и передают его в сформированном коде микросхеме передатчика ARINC-429 1586ИН2У1.

Если часть измерительных каналов не задействована, то кодовое слово для этого канала все равно будет передаваться, но с признаком "нет вычисленных данных", т.к. в микросхемах Н1582ВЖ3В-0281, 1582ВЖ3Д-0281 не предусмотрено отключение неиспользуемых измерительных каналов.

Так как логика SL-канала допускает передачу слов произвольной длины, и схема контроля целостности передаваемых слов так же может быть произвольной, следует подчеркнуть, что микросхемы спроектированы в предположении, что по каналам SL передаются 16-ти битные слова с контролем четности по каждому каналу. Проверку контроля четности можно отключить, но одновременно для всех каналов, установкой вывода P_En в логический «0». Вывод P_En реализован с внутренним подтягивающим резистором ~ 5кОм, поэтому допускается оставлять его не подключенным. Длительность битового интервала в SL-канале должна быть не менее 500 нс, а длительность импульса не менее 250 нс. Интервал между соседними посылками должен быть не менее 1,5 мкс. Каких-либо других ограничений на временные параметры SL сигналов нет.

Канал ARINC-429 работает на фиксированной частоте 100 кГц в соответствии с «Изменениями №3» РТМ 1495-75 с фиксированной длительностью промежутка равной 4Т.

Принят способ обмена - асинхронный «Всеm», т.е. передатчик непрерывно передает в линию информацию, полученную с SL каналов и прошедшую предварительную обработку. Номер SL-канала изменяется циклически от 0 до 3. Код SL-канала передается в 9 и 10 разрядах 32-х битного слова ARINC.

Для совместимости с ранее разработанными микросхемами приемников ARINC, данный код дублируется в разрядах 1 и 2 поля признака (адреса) слова ARINC. Дублирование можно отключить. Для этого в микросхеме имеется специальный вывод "W". Если "W" =1 или оборван (вывод реализован с внутренней подтяжкой) – дублирование разрешено, если "W" =0 – строго по РТМ.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.030-028ТО	Лист 9

Синхронизация работы внутренних блоков осуществляется от встроенного кварцевого генератора на 10МГц.

8 Описание алгоритма работы.

Приемники SL-каналов и передатчик ARINC-429 работают полностью асинхронно.

В каждом SL-канале принимаемая информация сначала загружается во входной сдвиговый регистр. При поступлении комбинации сигналов маркирующих окончание слова данных (так называемый "стоп" бит) приемник проверяет соответствие четности принятого слова с вычисленным значением. Если нарушения не обнаружено, то данные из сдвигового регистра переписываются в промежуточный буферный регистр и взводится признак приема достоверного кода. Если обнаружена ошибка четности, то данные не переписываются и взводится признак приема недостоверного кода. Использование буферного регистра позволяет контроллеру передатчика ARINC загружать информацию для передачи в любой момент времени.

Для выдачи данных в канал ARINC контроллером выполняются следующие действия: сначала формируется межсловный промежуток 4Т. В это время синхросигналы и данные на выводах ARINC_S и ARINC_D отсутствуют. В начальный момент формирования этого промежутка в счетчике канала SL происходит увеличение его значения на единицу. Код счетчика дешифрируется и данные соответствующего буферного регистра канала SL выдаются на шину адреса ПЗУ с 1 по 16 разряды. Нулевой разряд формируется контроллером передатчика ARINC и устанавливается в "0". Примерно через 400нс контроллер формирует внутренний строб записи младшего байта, считанного из ПЗУ. Данный байт записывается в разряды с 14 по 21 сдвигового регистра слова ARINC. По этому же стробу записываются разряды с 1 по 8 поля признака (адрес), разряды 9 и 10 – код канала SL, разряды с 11 по 13 записываются нулями. Еще через 100нс нулевой разряд адреса меняется контроллером на "1". Через 400нс после этого формируется второй внутренний строб, который записывает старший байт, считанный из ПЗУ в разряды с 22 по 29. По этому стробу так же загружаются разряды 30 и 31, значения которых будет объяснено ниже. По окончании этого строба на соответствующем канале SL сбрасывается признак приема достоверного кода. Еще через 100нс нулевой разряд адреса возвращается контроллером в "0". Таким образом, примерно через 1мкс после начала межсловного промежутка в сдвиговом регистре контроллера ARINC оказываются загруженными данные для передачи. После завершения времени промежутка контроллер выдает на вывод ARINC_D последовательно 31 бит данных и 32-ой бит вычисленной четности, а на вывод ARINC_S сигнал синхронизации. После чего весь цикл

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	ИРВЖ.431262.030-028ТО	Лист 10

повторяется.

Значения разрядов 31 и 30.

11 – означает, что передаваемые данные актуальны и в канале SL ошибок не обнаружено, в общем – нормальная работа.

01 – нет вычисленных данных. После считывания данных SL канала в сдвиговый регистр ARINC, соответствующий триггер "достоверные данные" сбрасывается и если к моменту следующего обращения контроллера ARINC к данному SL каналу новых данных по нему не поступило, то для передачи будут загружены старые данные. О чем и говорит сброшенный 31 разряд.

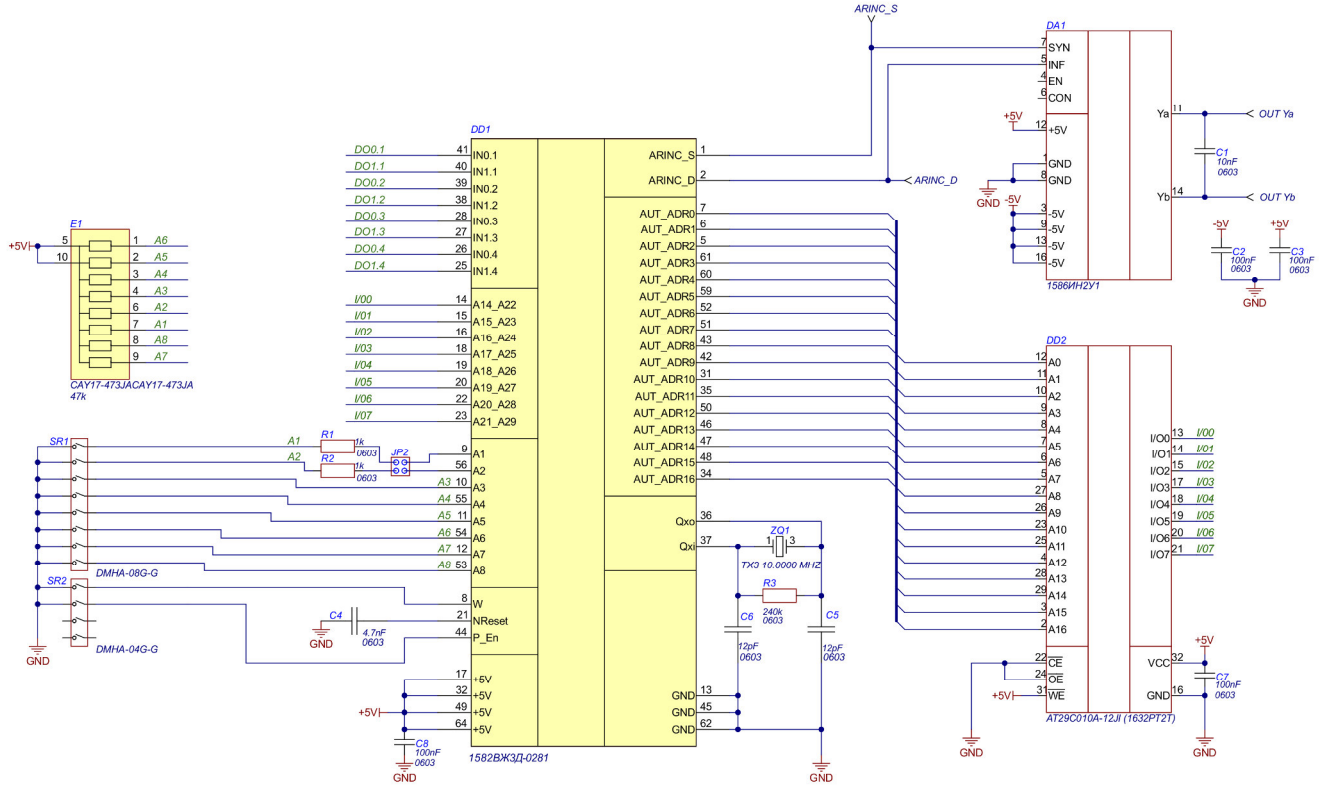
00 – отказ. Данная ситуация возникает, когда при приеме данных по SL каналу произошла ошибка четности. В этой ситуации устанавливается триггер "не достоверная информация". При этом данные промежуточного буферного регистра не изменяются и соответственно в сдвиговый регистр ARINC будут загружены для передачи последние достоверные данные с признаком отказа в разряды 31 и 30.

10 – данная кодовая комбинация не используется.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм.	Лист	№ докум.	Подп.	Дата
ИРВЖ.431262.030-028ТО				Лист
				11

9 Рекомендации по применению

Рекомендуемая схема включения микросхем Н1582ВЖЗВ-0281, 1582ВЖЗД-0281 приведена на рисунке 3.



Р и с у н о к 3 Типовая схема включения микросхем
Н1582ВЖЗВ-0281, 1582ВЖЗД-0281

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата

