

УТВЕРЖДАЮ

Заместитель генерального директора
ОАО НПО "Физика" по научной работе

В.А.Власов

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1582БЦ1Т-0004

Техническое описание
ИРВЖ.431262.080-002ТО

Главный конструктор

Ю.Г.Дьяченко

2007

Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата

Л.А.Сергеева

Заместитель генерального директора по качеству

Содержание

1 Введение	4
2 Наименование	4
3 Назначение микросхемы	4
4 Технические данные	4
5 Назначение и описание выводов МКПП	6
6 Описание структурной схемы МКПП	13
6.1 Контроллер адреса обращения	15
6.2 Контроллер системной магистрали Q-bus.....	15
6.3 Контроллер записи-чтения локального ОЗУ	16
6.4 Регистр базового адреса и вектора прерывания	16
6.5 Арбитр прерываний.....	16
6.6 Арбитр обслуживания ПДП	17
6.7 Передатчик	17
6.8 Приемник.....	19
7 Функциональное описание МКПП	21
7.1 Синхронизация обменов по системной магистрали.....	22
7.1.1 Диаграммы сигналов в режиме ПДП.....	22
7.1.2 Диаграммы сигналов в режиме записи в регистры МКПП	24
7.1.3 Диаграммы сигналов в режиме чтения регистра МКПП.....	25
7.1.4 Диаграммы сигналов в режиме "чтение - модификация - запись"	26
7.2 Обмен данными с локальным ОЗУ	26
7.3 Работа микросхемы в режиме передатчика	29

					ИРВЖ.431262.080-002ТО					
Изм.	Лист	№ докум.	Подп.	Дата	Микросхема интегральная 1582БЦ1Т-0004 Техническое описание					
Разраб.		Хахулина						Лит.	Лист	Листов
Пров.		Дьяченко							2	45
Н.контр.		Сергеева М.								
Утв.		-								
Инв.№ подл.		Подп. и дата		Взам.инв. №	Инв.№ дубл.	Подп и дата				

7.4 Работа микросхемы в режиме приемника.....	35
7.5 Прерывания	38
8 Указания по применению и эксплуатации МКПП	42
Приложение А Сокращения, принятые в техническом описании	43
Приложение Б Ссылочные нормативные документы	44

					ИРВЖ.431262.080-002ТО		Лист
							3
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

1 Введение

1.1 Настоящее техническое описание позволяет ознакомиться с устройством и основными принципами работы микросхемы интегральной 1582БЦ1Т-0004 (далее – микросхемы).

1.2 При изучении этого документа необходимо предварительно детально ознакомиться с ГОСТ 18977-79, РТМ 1495-75 и руководством микропроцессора Н1836ВМ3.

2 Наименование

Многоканальный приемник-передатчик (МКПП).

3 Назначение микросхемы

3.1 Микросхема предназначена для обмена последовательным кодом по ГОСТ 18977-79 и РТМ 1495-75, обслуживания одновременно четырех передающих и восьми приемных линий связи, работающих независимо друг от друга.

Микросхема состоит из четырех независимых передатчиков и восьми приемников, которые управляются с помощью трех регистров, имеют по одному вектору прерывания и одному каналу прямого доступа к памяти.

3.2 МКПП функционирует в составе микропроцессорных систем как программируемый контроллер ввода/вывода.

3.3 Интерфейс абонента – системный канал микропроцессора Н1836ВМ3 (МПИ).

4 Технические данные

4.1 Микросхема выполнена по КМОП технологии на основе базового матричного кристалла (БМК) 1582БЦ1Т АЕЯР.431260.192ТУ.

Кристалл, содержащий 5000 базовых ячеек, имеет заполнение 80 %.

4.2 Корпус микросхемы – 4226.108-2 УФ0.487.070ТУ.

					ИРВЖ.431262.080-002ТО	Лист
						4
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

4.3 Электрические характеристики микросхемы:

- напряжение питания +5В ± 10 %;
- динамический ток потребления, не более 2,5 мА;
- выходной ток низкого уровня при $U_{пит} = 5,5 В$, $U_{вых} = 0,4 В$,
не менее ($t = \text{минус } 60 \dots 125 \text{ } ^\circ\text{C}$), типовой 10,0 мА;
- выходной ток высокого уровня при $U_{пит} = 4,5 В$, $U_{вых} = 4,1 В$,
не менее ($t = \text{минус } 60 \dots 125 \text{ } ^\circ\text{C}$), типовой 1,0 мА;

4.4 Емкость нагрузки:

- предельно допустимая 100 пФ;
- предельная 200 пФ.

					ИРВЖ.431262.080-002ТО		Лист
							5
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

5 Назначение и описание выводов МКПП

5.1 Нумерация и назначение внешних выводов микросхемы приведены в таблице 1.

5.2 Принципиальные электрические схемы входных и выходных буферных элементов МКПП приведены на рисунке 1.

5.3 Условное графическое обозначение МКПП приведено на рисунке 2.

5.4 Краткое описание выводов МКПП:

- AD0...AD15, SYNC, DOUT, DIN, RPLY, WTBT, IRQ, IAKI, IAKO, DMR, DMGI, DMGO, SACK, INIT – сигналы системной магистрали микропроцессора H1806BM2;

- AD16...AD21 – дополнительные адресные выходы для прямого доступа в память (ПДП) передатчиков;

- RAMA0...RAMA10 – шина адреса локального ОЗУ;

- RAMD0...RAM3 – шина данных локального ОЗУ;

- CS0, CS1 – выходы синхронизации обмена данными с локальным ОЗУ;

- WRITE – выход выбора режима работы локального ОЗУ;

- KEY0, KEY1 – входы выбора группы адресов на системной магистрали;

- QI, QO – вход и выход кварцевого резонатора 10 МГц (параллельно резонатору должен быть подключен резистор (250...800) кОм, в системах с отдельным генератором сигнал подается на вход QI, а выход QO остается свободным);

- IN0...IN7 – входы данных восьми независимых приемников;

- CR0...CR7 – входы синхронизации восьми независимых приемников;

- OUT0...OUT3 – выходы данных четырех независимых передатчиков;

- CT0...CT3 – выходы синхронизации четырех независимых передатчиков;

- BS – вход сигнала выбора кристалла, активный уровень – низкий.

					ИРВЖ.431262.080-002ТО		Лист
							6
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Таблица 1 – Нумерация, обозначение и наименование выводов

Номер вывода	Условное обозначение	Тип буфера	Назначение вывода
1	AD2	3	Вход/выход 2 разряда магистрали адреса-данных
2	AD3	3	Вход/выход 3 разряда магистрали адреса-данных
3	AD4	3	Вход/выход 4 разряда магистрали адреса-данных
4	AD5	3	Вход/выход 5 разряда магистрали адреса-данных
5	AD6	3	Вход/выход 6 разряда магистрали адреса-данных
6	–	–	–
7	AD7	3	Вход/выход 7 разряда магистрали адреса-данных
8	AD8	3	Вход/выход 8 разряда магистрали адреса-данных
9	AD9	3	Вход/выход 9 разряда магистрали адреса-данных
10	AD10	3	Вход/выход 10 разряда магистрали адреса-данных
11	Еп	–	Питание
12	AD11	3	Вход/выход 11 разряда магистрали адреса-данных
13	BS	1	Вход сигнала выбора кристалла
14	AD12	3	Вход/выход 12 разряда магистрали адреса-данных
15	AD13	3	Вход/выход 13 разряда магистрали адреса-данных
16	AD14	3	Вход/выход 14 разряда магистрали адреса-данных
17	–	–	–
18	AD15	3	Вход/выход 15 разряда магистрали адреса-данных
19	RAMA0	2	Выход 0 разряда адреса локального ОЗУ
20	RAMA1	2	Выход 1 разряда адреса локального ОЗУ
21	RAMA2	2	Выход 2 разряда адреса локального ОЗУ
22	0B	–	Земля
23	RAMA3	2	Выход 3 разряда адреса локального ОЗУ
24	RAMA4	2	Выход 4 разряда адреса локального ОЗУ
25	RAMA5	2	Выход 5 разряда адреса локального ОЗУ
26	RAMA6	2	Выход 6 разряда адреса локального ОЗУ
27	RAMA7	2	Выход 7 разряда адреса локального ОЗУ

					ИРВЖ.431262.080-002ТО		Лист
							7
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Номер вывода	Условное обозначение	Тип буфера	Назначение вывода
28	RAMA8	2	Выход 8 разряда адреса локального ОЗУ
29	RAMA9	2	Выход 9 разряда адреса локального ОЗУ
30	RAMA10	2	Выход 10 разряда адреса локального ОЗУ
31	CR0	1	Вход синхросигнала Приемника 0
32	CR1	1	Вход синхросигнала Приемника 1
33	–	–	–
34	CR2	1	Вход синхросигнала Приемника 2
35	CR3	1	Вход синхросигнала Приемника 3
36	Еп	–	Питание
37	CR4	1	Вход синхросигнала Приемника 4
38	CR5	1	Вход синхросигнала Приемника 5
39	CR6	1	Вход синхросигнала Приемника 6
40	CR7	1	Вход синхросигнала Приемника 7
41	–	–	–
42	–	–	–
43	–	–	–
44	RAMD0	3	Вход/выход 0 разряда данных локального ОЗУ
45	RAMD1	3	Вход/выход 1 разряда данных локального ОЗУ
46	–	–	–
47	RAMD2	3	Вход/выход 2 разряда данных локального ОЗУ
48	RAMD3	3	Вход/выход 3 разряда данных локального ОЗУ
49	0B	–	Земля
50	QO	3	Выход кварцевого генератора
51	QI	1	Вход кварцевого генератора
52	–	–	–
53	–	–	–
54	–	–	–
55	–	–	–

					ИРВЖ.431262.080-002ТО		Лист
							8
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Номер вывода	Условное обозначение	Тип буфера	Назначение вывода
56	–	–	–
57	WRITE	2	Выход управления режимом работы локального ОЗУ
58	CS1	2	Выход синхронизации адреса локального ОЗУ
59	CS2	2	Выход синхронизации данных локального ОЗУ
60	–	–	–
61	OUT3	2	Выход данных Передатчика 3
62	CT3	2	Выход синхросигнала Передатчика 3
63	OUT2	2	Выход данных Передатчика 2
64	CT2	2	Выход синхросигнала Передатчика 2
65	Еп	–	Питание
66	OUT1	2	Выход данных Передатчика 1
67	CT1	2	Выход синхросигнала Передатчика 1
68	OUT0	2	Выход данных Передатчика 0
69	CT0	2	Выход синхросигнала Передатчика 0
70	–	–	–
71	–	–	–
72	INIT	1	Вход сигнала общего сброса (активный 0)
73	IAKI	1	Вход сигнала разрешения прерывания
74	IAKO	2	Выход сигнала разрешения прерывания
75	KEY0	1	Вход 0 выбора группы адресов
76	0B	–	Земля
77	KEY1	1	Вход 1 выбора группы адресов
78	AD21	3	Выход 21 разряда магистрали адреса
79	AD20	3	Выход 20 разряда магистрали адреса
80	AD19	3	Выход 19 разряда магистрали адреса
81	AD18	3	Выход 18 разряда магистрали адреса
82	AD17	3	Выход 17 разряда магистрали адреса
83	AD16	3	Выход 16 разряда магистрали адреса

					ИРВЖ.431262.080-002ТО		Лист
							9
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Номер вывода	Условное обозначение	Тип буфера	Назначение вывода
84	DMGI	1	Вход сигнала разрешения ПДП
85	DMGO	2	Выход сигнала разрешения ПДП
86	SACK	4	Выход сигнала подтверждения захвата магистрали
87	–	–	–
88	DMR	4	Выход сигнала запроса ПДП
89	IRQ	4	Выход сигнала запроса прерывания
90	Еп	–	Питание
91	RPLY	4	Вход/выход сигнала подтверждения обмена
92	SYNC	3	Вход/выход сигнала синхроимпульса системной магистрали
93	DOUT	3	Вход/выход сигнала чтения системной магистрали
94	DIN	3	Вход/выход сигнала записи системной магистрали
95	–	–	–
96	WTBT	3	Выход чтение/запись
97	IN7	1	Вход данных Приемника 7
98	IN6	1	Вход данных Приемника 6
99	IN5	1	Вход данных Приемника 5
100	–	–	–
101	IN4	1	Вход данных Приемника 4
102	IN3	1	Вход данных Приемника 3
103	0B	–	Земля
104	IN2	1	Вход данных Приемника 2
105	IN1	1	Вход данных Приемника 1
106	IN0	1	Вход данных Приемника 0
107	AD0	3	Вход/выход 0 разряда магистрали адреса-данных
108	AD1	3	Вход/выход 1 разряда магистрали адреса-данных

					ИРВЖ.431262.080-002ТО		Лист
							10
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

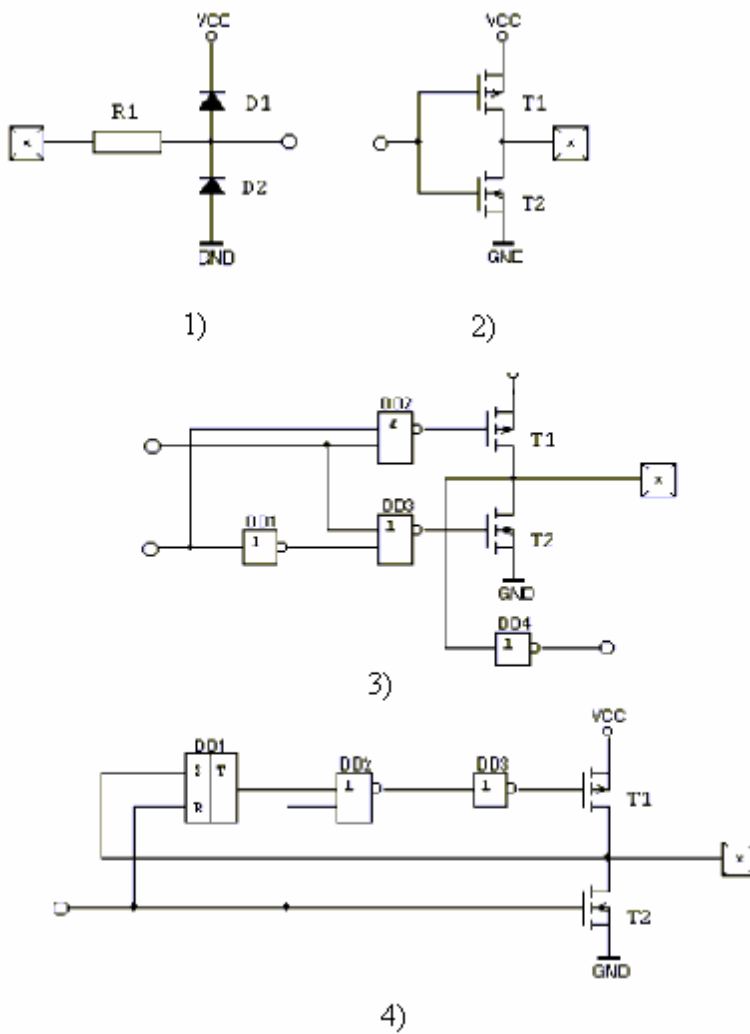


Рисунок 1 – Принципиальные схемы буферных элементов МКПП:
 1) – входной;
 2) – выходной с двумя состояниями;
 3) – входной/выходной с тремя состояниями;
 4) – выходной с "подбросом"

					ИРВЖ.431262.080-002ТО	Лист
						11
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

92	SYNC	МКПП	AD0	107
94	DIN		AD1	108
93	DOUT		AD2...AD6	1...5
91	RPLY		AD7...AD10	7...10
			AD11	12
72	INIT		AD12...AD14	14...16
84	DMGI		AD15	18
73	IAKI			
70	CLC		AD16...AD21	83...78
106...101	IN0...IN4		WTBT	96
99...97	IN5...IN7		SACK	86
31	CR0		DMR	88
32	CR1		IRQ	89
34	CR2		DMGO	85
35	CR3		IAKO	74
37...40	CR4...CR7			
			CS0	58
75	KEY0		CS1	59
77	KEY1		RAMA0...RAMA2	19...21
			RAMA3...RAMA10	23...30
13	BS		WRITE	57
		RAMD0	44	
		RAMD1	45	
		RAMD2	47	
		RAMD3	48	
		OUT0	68	
		OUT1	66	
		OUT2	63	
		OUT3	61	
		CT0	69	
		CT1	67	
		CT2	64	
		CT3	62	
51	Q1	Q0	50	

Рисунок 2 – Условное графическое изображение микросхемы МКПП

					ИРВЖ.431262.080-002ТО		Лист
							12
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

6 Описание структурной схемы МКПП и назначение его блоков

Структурная схема МКПП представлена на рисунке 3.

Микросхема включает следующие основные блоки:

- 8 Приемников;
- 4 Передатчика;
- 16-разрядный порт адреса/данных;
- контроллер системной магистрали Q-bus;
- контроллер записи-чтения локального ОЗУ;
- контроллер адреса обращения;
- регистр базового адреса и вектора прерывания;
- арбитр обслуживания ПДП Приемников и Передатчиков микросхемы;
- арбитр обслуживания запроса прерывания Приемников и Передатчиков.

Все Приемники и Передатчики микросхемы работают независимо друг от друга. Режим работы каждого Приемника и Передатчика программируется в его регистре управления. Работа их с одной системной магистралью организуется арбитрами обслуживания ПДП и запроса прерывания. Обмен данными внутри МКПП происходит по 16-разрядной двунаправленной магистрали с тремя состояниями, которая соединяется с внешней системной магистралью через буферные элементы. Устройство и принципы работы основных блоков МКПП описаны ниже.

Адреса устройств микросхемы и вектор прерывания определяются аппаратным ключом – коммутацией входных сигналов {KEY0, KEY1} на шину питания или землю.

Возможные группы адресов представлены в таблице 2. Все адреса в данной таблице и далее по тексту представлены в *восьмеричном коде*.

					ИРВЖ.431262.080-002ТО		Лист
							13
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

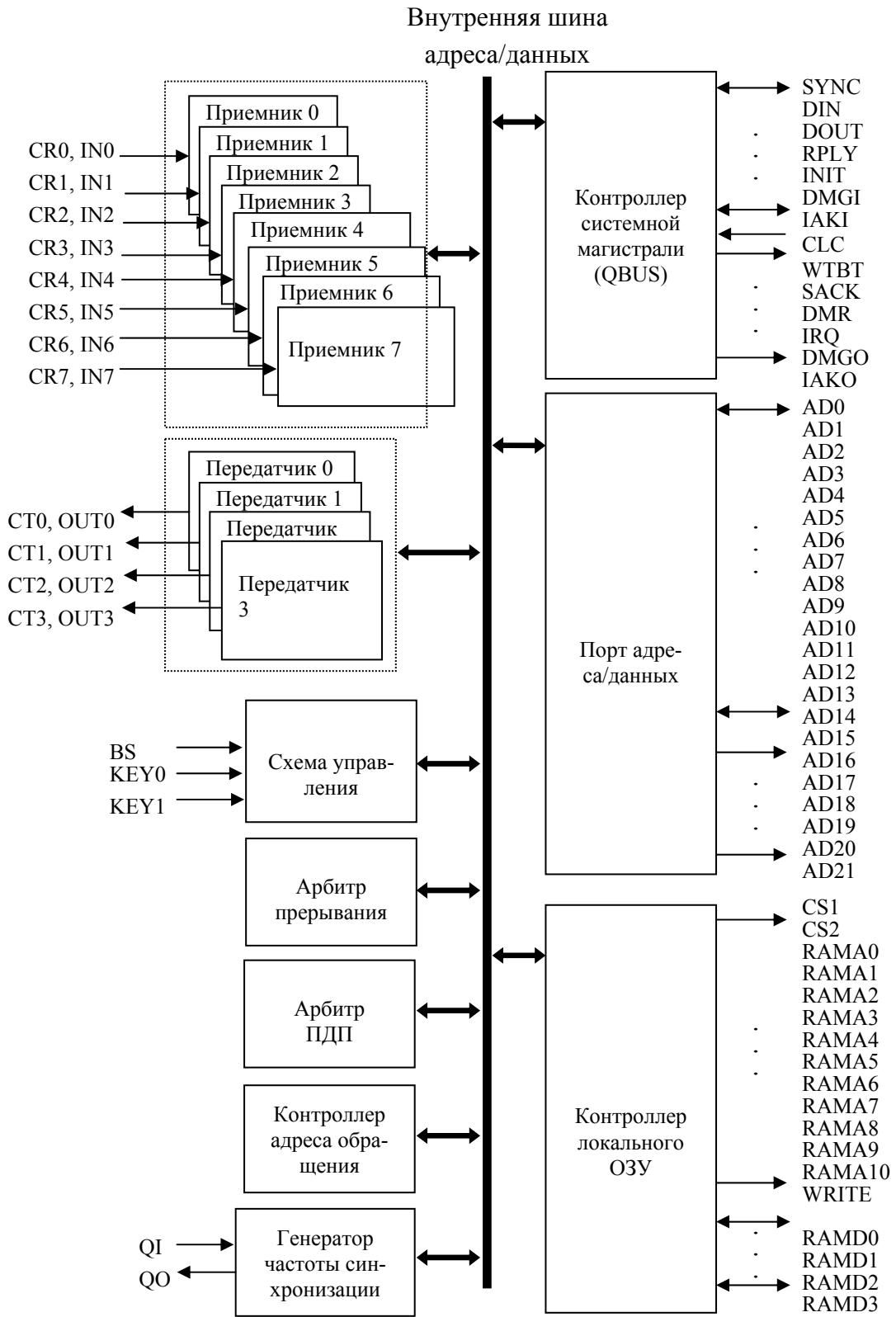


Рисунок 3 – Структурная схема МКПП

Таблица 2 – Группы адресов микросхемы МКПП

KEY0, KEY1	00	10	01	11
------------	----	----	----	----

					ИРВЖ.431262.080-002ТО		Лист
							14
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Регистры управления приемников	174400	174410	174420	174430
Регистр базового адреса	174402	174412	174422	174432
Регистры управления передатчиков	174404	174414	174424	174434
Локальное ОЗУ	174406	174416	174426	174436
Вектор прерывания	240	250	260	270

6.1 Контроллер адреса обращения

Контроллер адреса обращения выполняет следующие функции:

- распознает и фиксирует факт обращения центрального процессора к данной микросхеме (адрес = {1744XX}),

- определяет адресуемое устройство по содержимому трех младших разрядов адреса:

- {0} – регистры управления Приемников,
- {2} – регистр базового адреса,
- {4} – регистры управления Передатчиков,
- {6} – локальное ОЗУ.

Код, персонифицирующий микросхему, аппаратно задается на входах микросхемы {KEY1, KEY0} и соответствует значениям, приведенным в таблице 2. Значение младшего бита адреса не учитывается. Дополнительным сигналом выбора микросхемы является вход BS. Высокий уровень сигнала на входе BS = 1 блокирует адресацию микросхемы. Низкий уровень BS = 0 разрешает обращение к микросхеме.

6.2 Контроллер системной магистрали Q-bus

Контроллер системной магистрали обеспечивает работу микросхемы в качестве устройства на системной шине (Q-bus) с центральным процессором, реализуя в числе прочего сеансы ПДП Приемников и Передатчиков. Он формирует диаграмму управляющих сигналов в соответствии с требованиями системной магистрали микропроцессорной системы на базе микропроцессора H1836BM3.

6.3 Контроллер записи-чтения локального ОЗУ

					ИРВЖ.431262.080-002ТО		Лист
							15
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Контроллер записи-чтения локального ОЗУ (адрес={1744X6}) предназначен для записи и чтения локального ОЗУ. Запись (начальное заполнение) локального ОЗУ выполняется при инициализации работы микросхемы МКПП. При этом центральный процессор организует циклически адресную запись, определяя 11-битный адрес слова локального ОЗУ и его 4-битное содержимое одним 16-разрядным словом данных.

6.4 Регистр базового адреса и вектора прерывания

Регистр базового адреса RBA (адрес = {1744X2}) предназначен для выполнения следующих функций:

- хранения базового адреса обращения к общему ОЗУ в режиме ПДП;
- разрешения формирования запроса прерывания;
- установки режима записи локального ОЗУ;
- фиксирования адреса устройства (Приемника или Передатчика), которое последним сформировало запрос прерывания.

Нумерация и назначение разрядов регистра базового адреса приведены в таблице 3. Регистр базового адреса доступен для записи и чтения.

Режим записи/чтения локального ОЗУ устанавливается битом в RBA[7] разряде регистра базового адреса: запись локального ОЗУ (RBA[7] = 1) или штатный режим работы Приемников с чтением локального ОЗУ (RBA[7] = 0).

Формирование запроса на прерывание может быть заблокировано с помощью программирования RBA[6]: запрос на прерывание разрешен, если RBA[6] = 1, и запрещен, если RBA[6] = 0.

6.5 Арбитр прерываний

Арбитр прерывания предназначен для формирования вектора прерывания и фиксирования адреса устройства, выдавшего запрос на прерывание. Вектор прерывания имеет следующий формат {2X0} и определяется аппаратным кодом микросхемы, как показано в таблице 2. Адрес прерывания фиксируется в разрядах RBA[10]...RBA[13] регистра базового адреса.

Таблица 3 – Нумерация и назначение разрядов регистра RBA

					ИРВЖ.431262.080-002ТО		Лист
							16
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Разряд	Назначение
15–14	Разряды 15 и 14 базового адреса обращения к общему ОЗУ в режиме ПДП Приемников и Передатчиков
13–10	Адрес устройства (Приемника или Передатчика), которое последним сформировало запрос прерывания
9–8	Не используются
7	Установка режима записи/чтения локального ОЗУ
6	Разрешение формирования запроса на прерывание
5–0	Разряды 21–16 базового адреса обращения к общему ОЗУ в режиме ПДП Приемников и Передатчиков

6.6 Арбитр обслуживания ПДП

Арбитр обслуживания ПДП предназначен для предоставления права реализации обмена данными с общим ОЗУ соответствующим Приемникам и Передатчикам, выставившим требование ПДП в процессе своей работы, в порядке очередности поступивших от них требований ПДП.

6.7 Передатчик

Передатчик предназначен для передачи по последовательному каналу в синхронном режиме 32-разрядного слова ПДК, считанного из ОЗУ. Передатчик содержит следующие основные блоки:

- 16-разрядный буферный регистр на триггерах-защелках,
- 16-разрядный регистр сдвига с параллельной установкой разрядов,
- счетчик адреса (количества переданных слов),
- регистр управления,
- счетчик переданных бит текущей передачи,
- блок проверки четности бит в передаваемом слове,
- блок выбора рабочей частоты передачи.

6.7.1 *Буферный регистр* на триггерах-защелках (16 разрядов) предназначен для временного хранения считанного из общего ОЗУ второго 16-битного полуслова данных, пока Передатчик передает наружу по последовательному каналу первое 16-разрядное слово данных.

					ИРВЖ.431262.080-002ТО		Лист
							17
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

6.7.2 *Регистр сдвига* (16 разрядов) с параллельной установкой разрядов предназначен для передачи наружу в последовательном коде содержимого считанного из общего ОЗУ 32-битного слова данных двумя посылками по 16-бит.

6.7.3 *Счетчик адреса (количества переданных слов)* (8 разрядов) подсчитывает количество переданных (считанных из ОЗУ) 32-разрядных слов. Исходное состояние – нулевое.

6.7.4 *Регистр управления RCT* определяет режимы работы Передатчика. Он имеет 4 разряда. Нумерация и назначение разрядов регистра управления приведены в таблице 4.

Таблица 4 – Назначение разрядов регистра управления RCT

Разряд	Назначение
3	Бит запрета/разрешения циклической работы Передатчика
2-1	Выбор рабочей частоты Передатчика
0	Бит "GO" запуска/останова Передатчика

Разряды RCT[1] – RCT[3] доступны для чтения и записи.

Разряд RCT[0] доступен только для чтения. Его значение определяется значением разрядов RCT[1] и RCT[2]:

$$RCT[0] = 1, \quad \text{если } (RCT[1] + RCT[2]) > 0.$$

6.7.5 *Счетчик переданных бит* текущей передачи – двоичный, 5 разрядный. Он предназначен для управления передачей слова данных и выделения последнего передаваемого бита для установки его значения в соответствии с количеством единиц в передаваемом слове.

6.7.6 *Блок проверки четности* бит в передаваемом слове предназначен для определения количества единиц в составе передаваемых первых 31 разрядов слова данных. Последний (32-ой) бит передаваемого слова автоматически устанавливается в значение ("0" или "1"), обеспечивающее нечетное количество единиц в составе переданного слова

6.7.7 *Блок выбора рабочей частоты* передачи. Предназначен для выбора текущей рабочей частоты Передатчика в соответствии с таблицей 8.

6.8 Приемник

					ИРВЖ.431262.080-002ТО		Лист
							18
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Приемник предназначен для приема 32-разрядного слова ПДК по последовательному каналу в синхронном режиме. Приемник содержит следующие основные блоки:

- 16-разрядный буферный регистр на триггерах-защелках с третьим состоянием на выходе,
- 16-разрядный регистр сдвига с последовательным входом,
- регистр управления,
- счетчик принятых бит текущего приема,
- блок проверки четности бит в принимаемом слове (число единиц в принимаемом слове должно быть нечетным),
- блок выбора рабочей частоты приема, соответствующей частоте синхронизации передачи.

6.8.1 *Буферный регистр* на триггерах-защелках с третьим состоянием на выходе предназначен для хранения первой принятой половины слова ДПК в то время, как Приемник продолжает принимать по последовательному каналу вторую половину, и для передачи обеих половин слова ДПК в системную магистраль при ПДП. Выходы разрядов регистра подключены к внутренней шине данных.

6.8.2 *Регистр сдвига* с последовательным входом принимает данные, передаваемые по последовательному каналу. После приема 16-битного полуслова информация перезаписывается в буферный регистр для последующей записи в общее ОЗУ через ПДП.

6.8.3 *Регистр управления RCR* задает режимы работы Приемника. Он имеет 3 разряда, нумерация и назначение которых приведены в таблице 5.

Разряды RCR[1] и RCR[2] регистра доступны для чтения и записи. Чтение и запись разрядов RCR[1] и RCR[2] регистров управления всех Приемников одновременно осуществляется стандартными процедурами чтения, записи и "чтение – модификация – запись" по соответствующему адресу, указанному в таблице 2.

Таблица 5 – Назначение разрядов регистра управления RCR

Разряд	Назначение
2-1	Выбор рабочей частоты Приемника
0	Бит "GO" запуска/останова Приемника

					ИРВЖ.431262.080-002ТО		Лист
							19
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

6.8.4 *Счетчик принятых бит* текущего приема обеспечивает своевременную перезапись принятой половины слова ДПК из принимающего регистра сдвига в буферный регистр и контроль правильности приема слова ДПК – наличия в нем 32 бит.

6.8.5 *Блок проверки четности бит* в принимаемом слове (число единиц в принимаемом слове должно быть нечетным) обеспечивает контроль ошибок при приеме, сравнивая число единиц в принятом слове с признаком нечетности, содержащемся в последнем принятом бите слова.

6.8.6 *Блок выбора рабочей частоты* приема устанавливает внутреннюю частоту синхронизации в соответствии с заданными разрядами RCR[1] и RCR[2] регистра управления Приемника, описанного в таблице 9.

					ИРВЖ.431262.080-002ТО		Лист
							20
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

7 Функциональное описание МКПП

Микросхема содержит 8 Приемников и 4 Передатчика, работающих с системной магистралью Q-bus в режиме разделения времени и обслуживающих последовательные каналы приема/передачи данных.

Частоты, используемые внутри микросхемы, 1 МГц и частота, соответствующая системной частоте магистральной шины Q-bus (5 МГц). Они формируются с помощью делителя из входной частоты 10 МГц. Частота 1 МГц делится дополнительно на три основные частоты: 100 кГц, 50 кГц и 12,5 кГц – используемые всеми Приемниками и Передатчиками для обслуживания последовательных каналов. Делитель частоты формирует также строб, обеспечивающий сдвиг по времени синхросигнала от данных на выходе Передатчиков и достаточную длительность сигнала разрешения записи содержимого буфера Передатчика в его регистр сдвига.

Арбитры обслуживания ПДП и запроса прерывания Приемников и Передатчиков микросхемы основаны на кольцевом 4-х разрядном двоичном счетчике. Он в цикле пробегаёт состояния от 0 до 11 (всего 12 – по числу Приемников и Передатчиков микросхемы). Каждое из них соответствует периоду, в течение которого сформированное требование ПДП или прерывания соответствующим Приемником или Передатчиком, разрешается для обработки. Счетчик работает от синхросигнала системной частоты (5 МГц). Таким образом, каждые 2,4 мкс идет опрос очередного Приемника или Передатчика. Если кто-либо из них требует обслуживания ПДП, работа счетчика блокируется: он останавливается на текущем состоянии до тех пор, пока не будет обслужено соответствующее ПДП. Сброс счетчика состояний в 0 выполняется только по сигналу общего сброса.

Дешифратор 4x12 на выходе счетчика состояний формирует сигналы выборки конкретного устройства.

Микросхема предназначена для работы в составе микропроцессорной системы наряду с другими функциональными устройствами. Поэтому она содержит устройства адресации, позволяющие идентифицировать ее в операциях обмена данными с центральным процессором. Код, персонифицирующий микросхему, аппаратно задается на входах микросхемы {KEY1, KEY0}. Они представляют собой аппаратный ключ, определяющий адреса устройств микросхемы и вектор прерывания, указанных в таблице 2, за счет ком-

					ИРВЖ.431262.080-002ТО			Лист
								21
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№ подл.	Подп. и дата		Взам.инв. №	Инв.№ дубл.	Подп и дата			

мутации входных сигналов KEY0 и KEY1 на шину питания или землю. Он позволяет в одной микропроцессорной системе использовать до 4 однотипных микросхем МКПП.

Контроллер адреса обращения реализован как совокупность схемы сравнения значений на шине адреса/данных с ожидаемым кодом и схемы фиксации типа обращения (чтение-запись) и устройства, к которому идет обращение. В качестве дополнительного сигнала управления доступом к микросхеме используется внешний входной сигнал BS: при BS=1 обращение к данной микросхеме блокируется, а при BS=0 – разрешается.

7.1 Синхронизация обменов по системной магистрали

7.1.1 Диаграммы сигналов в режиме ПДП

Режим ПДП используется Приемниками и Передатчиками микросхемы МКПП для записи/чтения слов ДПК в/из общего ОЗУ. Приемники записывают в общее ОЗУ принятые по последовательному каналу слова ДПК, а Передатчики считывают из него слова ДПК, которые затем передают по последовательному каналу наружу.

Диаграммы режима ПДП привязаны к внутреннему синхросигналу с частотой 5 МГц, соответствующей частоте системной магистрали Q-bus. Пример диаграммы ПДП Приемника показан на рисунке 4.

Приемник выдает сигнал запроса ПДП ($DMR = 0$) и, если системная магистраль свободная, получает разрешение на организацию ПДП от центрального микропроцессора ($DMGI = 0$). В ответ микросхема МКПП формирует сигнал "магистраль занята" ($SACK = 0$) и выставляет на шину AD адрес общего ОЗУ (здесь 125653), куда будет записано слово ДПК. Адрес выставляется на шину AD как минимум за один период системной частоты F5MHZ до выдачи сигнала $SYNC=0$. Одновременно с адресом устанавливается сигнал $WTBT=0$ как признак записи в общее ОЗУ. Через один период системной частоты МКПП формирует сигнал $SYNC=0$, фиксирующий адрес в ОЗУ. МКПП освобождает системную магистраль, снимая адрес и помещая первую половину слова ДПК (165257) на шину AD. МКПП устанавливает сигнал $DOUT=0$. Этот сигнал держится как минимум два периода системной частоты. Система выдает сигнал $RPLY=0$ и фиксирует данные в общем ОЗУ, после чего МКПП снимает сигнал $DOUT$. Сигналы $SYNC$ и $RPLY$ снимаются через половину периода системной частоты после $DOUT$. Таким образом,

					ИРВЖ.431262.080-002ТО		Лист
							22
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата		Взам.инв. №	Инв.№ дубл.	Подп и дата		

цикл записи одного 16-разрядного полуслова ДПК составит от 5 до 6 периодов систем-ной частоты.

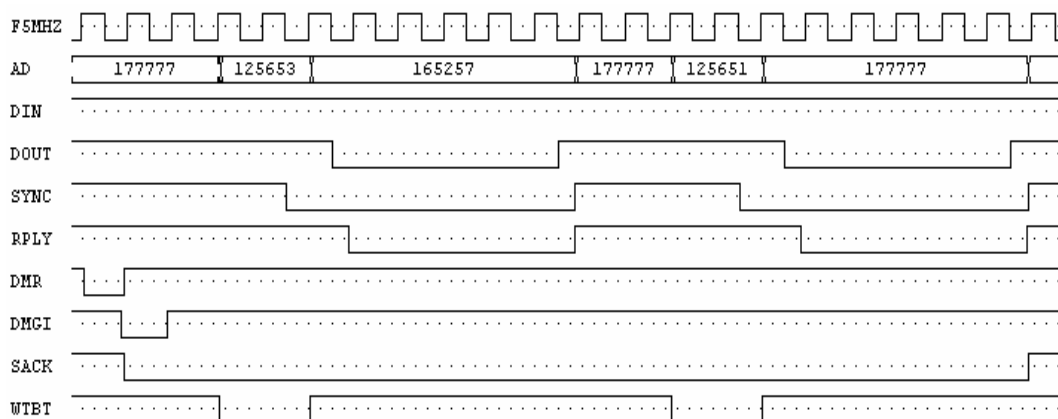


Рисунок 4 – Диаграмма ПДП Приемника

Поскольку шина данных 16-разрядная, а слово ДПК – 32-разрядное, цикл записи повторяется. При этом адрес инкрементируется на 2 (данные на системной шине пред-ставлены в инверсном коде), а сигнал SACK остается в низком активном состоянии.

Режим ПДП Передатчика отличается от ПДП Приемника использованием сигнала DIN вместо DOUT. Диаграмма для него приведена на рисунке 5.

Передатчик выдает сигнал запроса ПДП (DMR=0) и, если системная магистраль свободная, получает разрешение на организацию ПДП от центрального микропроцес-сора (DMGI=0). В ответ микросхема МКПП формирует сигнал "магистраль занята" (SACK=0) и выставляет на шину AD адрес общего ОЗУ, откуда будет считано слово ДПК (115777). Адрес выставляется на шину AD как минимум за один период систем-ной частоты F5MHZ до выдачи сигнала SYNC=0. Через один период тактового сигнала МКПП формирует сигнал SYNC=0, фиксирующий адрес в ОЗУ. Еще через один период системной частоты МКПП устанавливает сигнал DIN=0 как признак готовности к об-мену данными. В ответ система выставляет данные на магистральную шину (170360) и сразу же формирует сигнал RPLY=0, подтверждая готовность данных на магистраль-ной шине. Сигнал DIN=0 держится как минимум два периода системной частоты. Дан-ные на магистральной шине продолжают оставаться в течение половины периода сис-темной частоты после снятия DIN. Сигнал SYNC также снимается через половину пе-риода системной частоты после DIN. Таким образом, цикл чтения одного 16-разрядного полуслова ДПК составляет от 5 до 6 периодов системной частоты.

					ИРВЖ.431262.080-002ТО			Лист
								23
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата				

темной частоты. За это время МКПП фиксирует данные в соответствующем внутреннем регистре. МКПП снимает сигнал RPLY сразу после снятия сигнала DOUT и спустя период системной частоты система снимает сигнал SYNC.

7.1.3 Диаграммы сигналов в режиме чтения регистра МКПП

Чтение регистров микросхемы МКПП позволяет контролировать запись в них и работу Приемников и Передатчиков МКПП. Диаграмма сеанса чтения представлена на рисунке 7.

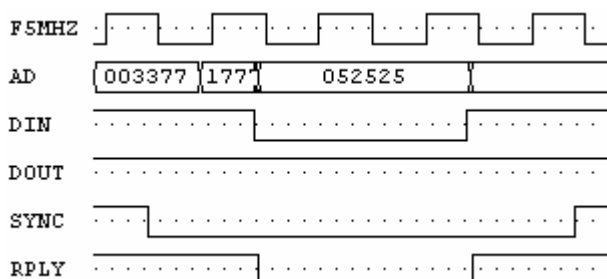


Рисунок 7 – Диаграмма чтения регистров МКПП

Система выставляет адрес регистра (003377), содержимое которого требуется прочитать, на магистральной шине AD и вырабатывает сигнал SYNC=0, по фронту которого адрес фиксируется в контроллере адреса обращения МКПП. Адрес выставляется за половину периода системной частоты до начала сигнала SYNC=0 и держится в течение периода системной частоты. Затем система освобождает системную магистраль и переводит ее в режим чтения данных. Через период системной частоты после начала SYNC система устанавливает сигнал DIN=0, в ответ на который МКПП выставляет данные из запрашиваемого регистра на системную шину AD и формирует выход RPLY=0 как признак готовности данных. Сигнал DIN=0 держится в течение двух периодов системной частоты. За это время система сохраняет данные в своей памяти. МКПП снимает сигнал RPLY сразу после снятия сигнала DIN и спустя период системной частоты система снимает сигнал SYNC.

7.1.4 Диаграммы сигналов в режиме "чтение - модификация - запись"

					ИРВЖ.431262.080-002ТО		Лист
							25
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Микросхема МКПП позволяет осуществить совмещенную процедуру проверки содержимого внутреннего регистра МКПП и его коррекцию при необходимости с помощью режима "чтение – модификация – запись". Диаграмма этого режима работы представлена на рисунке 8.

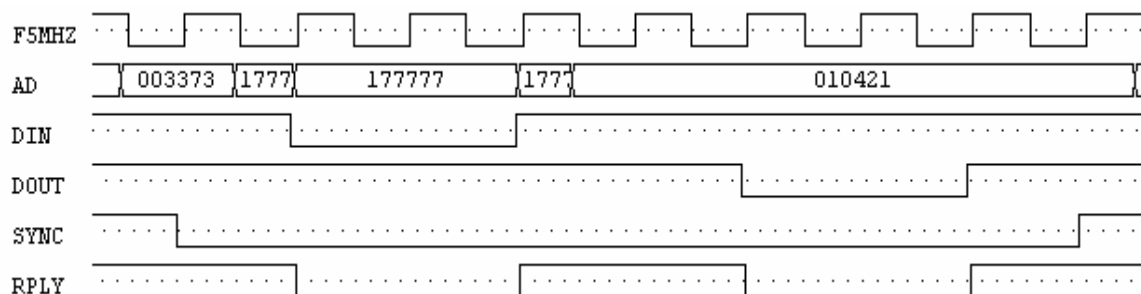


Рисунок 8 – Диаграмма режима "чтение – модификация – запись"

Система выставляет адрес регистра (003373), содержимое которого требуется прочитать, на магистральной шине AD и вырабатывает сигнал SYNC=0, по фронту которого адрес фиксируется в контроллере адреса обращения МКПП. Затем система освобождает системную магистраль и переводит ее в режим чтения данных. Через период системной частоты после начала SYNC=0 система устанавливает сигнал DIN=0, в ответ на который МКПП выставляет данные (177777) из запрашиваемого регистра на системную шину AD и формирует выход RPLY=0 как признак готовности данных. Сигнал DIN=0 держится в течение двух периодов системной частоты. За это время система считывает данные и сохраняет их в своей памяти. МКПП снимает сигнал RPLY сразу после снятия сигнала DIN. В этом режиме система не снимает сигнал SYNC сразу после окончания чтения данных из регистра МКПП, а инициирует операцию записи данных по тому же адресу, формируя сигнал DOUT=0 и выставляя данные (010421) на шине AD. МКПП формирует ответный сигнал RPLY=0 и записывает данные в тот же регистр, содержимое которого только что было прочитано.

7.2 Обмен данными с локальным ОЗУ

Локальное ОЗУ используется для хранения сценариев работы Приемников с принятыми словами ДПК. В качестве локального ОЗУ рекомендуется использовать микро-

					ИРВЖ.431262.080-002ТО		Лист
							26
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

схемы памяти семейства PУ8 или аналогичные, имеющие такую же временную диаграмму записи-чтения.

Запись (начальное заполнение) локального ОЗУ выполняется при инициализации работы микросхемы МКПП. При этом центральный процессор организует циклически адресную запись, определяя 11-битный адрес слова локального ОЗУ и его 4-битное содержимое одним 16-разрядным словом данных. Нумерация и назначение разрядов слова данных приведены в таблице 6.

Таблица 6 – Содержимое слова данных при записи в локальное ОЗУ

Разряд	Назначение
15–8	Адрес ОЗУ {A7...A0}
7–5	Адрес ОЗУ {A10...A8}
4	Не используется
3–0	Содержимое слова ОЗУ {D3...D0}

Из 8 бит слова, хранимого в локальном ОЗУ, реально используются только 4 младших бита {D3...D0}. Значения других 4 бит не используются и не задаются при начальном заполнении.

Запись в локальное ОЗУ реализуется как стандартная операция записи центрального микропроцессора в устройство по указанному адресу через магистральную шину. В качестве адреса в данном случае используется адрес локального ОЗУ 1744X6 (с учетом инверсности данных на системной шине – 0033X1).

Микросхема МКПП в режиме начального заполнения локального ОЗУ выполняет роль ретранслятора данных, передаваемых центральным микропроцессором. При этом контроллер локального ОЗУ в микросхеме МКПП формирует на своих выходах временную диаграмму, показанную на рисунке 9, в соответствии с протоколом записи данных в ОЗУ (здесь показаны два последовательных цикла записи). Задний фронт сигнала CS0 фиксирует адрес записи (0371), выставленный на выходах RAMA[0...10], на входах дешифратора адреса ОЗУ, а сигналы CS1 и WRITE активным низким уровнем разрешают запись данных (05), выставленных на шине RAMD[0...3], в ячейку ОЗУ. Сигнал WRITE=0 устанавливается заранее в результате записи в регистр базового адреса RBA[7]=1.

					ИРВЖ.431262.080-002ТО		Лист
							27
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

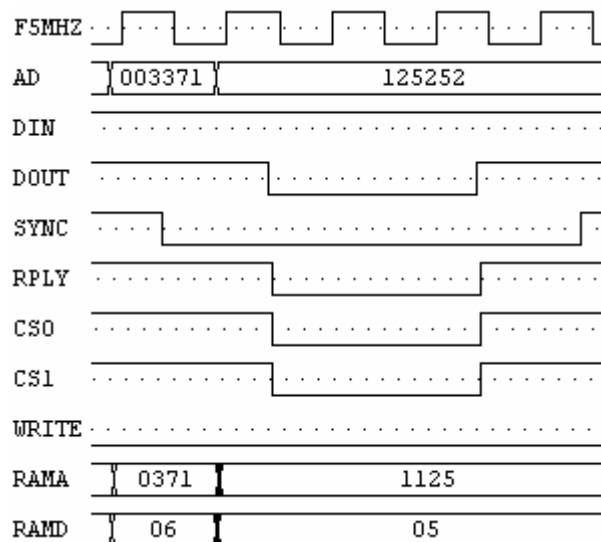


Рисунок 9 – Запись данных в локальное ОЗУ

Временная диаграмма чтения из локального ОЗУ представлена на рисунке 10. Чтение из локального ОЗУ инициируется Приемником, закончившим прием очередного слова ДПК. Приемник считывает из локального ОЗУ 4-разрядное слово, хранящее информацию о том, что нужно сделать с принятым словом ДПК. Описание работы микросхемы в режиме приемника указано в п. 7.4.

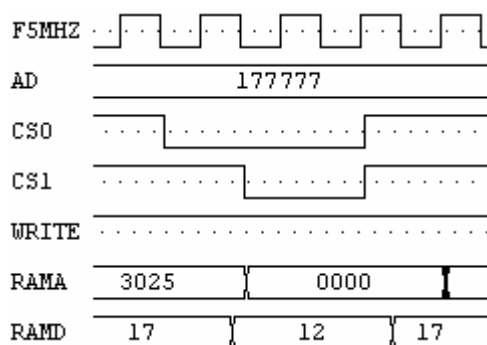


Рисунок 10 – Чтение данных из локального ОЗУ

Задний фронт сигнала CS0 фиксирует адрес чтения (3025), выставленный на выходах RAMA[0...10], на входах дешифратора адреса ОЗУ, а сигналы CS1=0 и WRITE=1 разрешают чтение данных (12) из ячейки ОЗУ на шину RAMD[0...3]. Сигнал WRITE=1 устанавливается заранее в результате записи в регистр базового адреса RBA[7]=0.

Режимом "чтение-запись" в локальное ОЗУ управляет разряд RBA[7] регистра базового адреса. Для выполнения записи в ОЗУ необходимо установить его в "1". В

					ИРВЖ.431262.080-002ТО			Лист
								28
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата				

противном случае реализуется режим чтения данных из локального ОЗУ. Разряд RBA[7] программируется с помощью записи в регистр базового адреса.

Временная диаграмма записи в локальное ОЗУ формируется контроллером локального ОЗУ, основную часть которого составляет 4-разрядный двоичный счетчик. На вход счетчика поступает синхросигнал с частотой системной шины Q-bus ($F=5$ МГц), если в данный момент не идет процесс адресного чтения из микросхемы или адресной записи в микросхему. Активные фронты сигналов CS0, CS1 при чтении формируются в соседних тактах синхросигнала, а при записи – одновременно. Сброс всех сигналов управления локальным ОЗУ происходит при обнулении счетчика по окончании обслуживания Приемника или записи в ОЗУ.

Счетчик начинает работать, формируя последовательность сигналов синхронизации ОЗУ CS0 и CS1, если идет запись в локальное ОЗУ или один из Приемников закончил прием. В остальное время счетчик обнуляется и принудительно держится в 0. Кроме того, счетчик блокируется, если арбитр обслуживания Передатчиков и Приемников микросхемы предоставляет ПДП одному из Передатчиков.

Контроллер записи-чтения локального ОЗУ содержит также регистр хранения статуса режима работы всех 8 Приемников микросхемы. Каждый разряд его соответствует определенному Приемнику. Если разряд регистра установлен в "1", соответствующий Приемник активен и каждое принятое слово ДПК передает в общее ОЗУ. Если разряд установлен в "0", соответствующий Приемник пассивен и лишь принимает слова, не пытаясь переписать их в общее ОЗУ. Значение статуса обновляется при чтении 4 бит из локального ОЗУ по адресу из принятого слова ДПК. Обновляется разряд только того Приемника, который инициировал чтение из локального ОЗУ, при условии, что хотя бы один бит (3-й или 4-й) из четверки считанных из локального ОЗУ равен "1". В противном случае состояние регистра статуса не изменяется.

7.3 Работа микросхемы в режиме передатчика

Передатчик предназначен для передачи по последовательному каналу в синхронном режиме 32-разрядного слова ПДК, считанного из ОЗУ. Для каждого Передатчика имеется своя пара выхода данных и выхода сигнала синхронизации. В состоянии ожи-

					ИРВЖ.431262.080-002ТО		Лист
							29
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

дания на выходе сигнала синхронизации хранится низкий уровень (0 В). Появление на выходе данных нового значения сопровождается передним фронтом (переходом из "0" в "1") выхода сигнала синхронизации с задержкой примерно на 4 мкс. Слово ДПК передается старшим битом вперед.

Передатчик запускается установкой в "1" нулевого разряда регистра управления Передатчика опосредованно через программную запись в разряды 1 – 2 регистра управления Передатчика любой комбинации, кроме {00}. Передатчик начинает выдавать в последовательный канал 32-х разрядные слова, выбирая их из общего ОЗУ в режиме ПДП. При этом разряды 15–0 слова в ОЗУ с адресом XXXXX0 (XXXXX4) соответствуют 0–15 разрядам слова ДПК, а разряды 15–1 слова в ОЗУ с адресом XXXXX2 (XXXXX6) соответствуют 16–30 разрядам слова ДПК. Разряд 31 слова ДПК – всегда результат дополнения передаваемой последовательности бит до нечетного числа содержащихся в ней единиц. Пауза между соседними передаваемыми словами равна примерно 4 периодам рабочей частоты.

Формат адреса слова в общем ОЗУ представлен в таблице 7.

Таблица 7 – Формат адреса слова в общем ОЗУ

Разряд	Значение
21–14	Базовый адрес из регистра базового адреса
13	Всегда "1" (признак ПДП Передатчика)
12	Всегда "0"
11–10	Номер Передатчика (0 – 3)
9–2	Разряды 0–7 счетчика переданных слов Передатчика
1	Номер передаваемого полуслова
0	Всегда "0"

32-битное слово данных считывается из общего ОЗУ и передается наружу двумя полусловами по 16 бит каждое. Номер передаваемого полуслова устанавливается в его разряде 1: "0" для первого 16-разрядного слова, "1" для второго 16-разрядного слова. Между передаваемыми словами формируется пауза в 4 периода рабочей частоты Передатчика.

Буферный регистр на триггерах-защелках (16 разрядов) хранит считанное из общего ОЗУ второе 16-битное полуслово данных, пока Передатчик передает наружу по последовательному каналу первое 16-разрядное слово данных. В рамках одного сеанса ПДП считываются последовательно обе половинки 32-битного слова данных. Первая из

					ИРВЖ.431262.080-002ТО		Лист
							30
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

них сразу перезаписывается из буферного регистра в регистр сдвига Передатчика и начинает передаваться наружу. Вторая половина хранится в буферном регистре и по окончании передачи первого полуслова (после "выталкивания" из сдвигового регистра его 16-го бита) записывается в сдвиговый регистр для передачи.

Регистр сдвига (16 разрядов) с параллельной установкой разрядов передает наружу в последовательном коде содержимое считанного из общего ОЗУ 32-битного слова ДПК данных двумя посылками по 16-бит. Слово ДПК передается младшим (нулевым) разрядом вперед. Последний передаваемый бит слова ДПК замещается автоматически значением "0" или "1" так, чтобы общее число единиц в передаваемом 32-битном коде было нечетным.

"Выталкивание" информации из сдвигового регистра происходит по переднему фронту внутреннего синхросигнала, который задерживается на фиксированное время при формировании внешнего синхровыхода для обеспечения гарантированного попадания фронта синхросигнала на установившееся значение сигнала выхода данных Передатчика.

Внутренний синхросигнал, управляющий сдвигом и счетчиком бит, формируется непрерывно. Начало его выбирается таким, чтобы первый импульс не оказался укороченным. Для этого используется специальная триггерная схема запуска. Счетчик переданных бит совмещает в себе также и функцию генерации паузы между передаваемыми словами. В реальных условиях работы микросхемы длительность паузы может варьироваться от 3 до 4 периодов рабочей частоты.

Общее количество переданных 32-разрядных слов ДПК фиксируется счетчиком адреса (8 разрядов). Исходное состояние – нулевое. Он обнуляется также в следующих случаях:

- автоматически при переполнении (достижении значения 256),
- при обнаружении признака окончания группы ("1") в нулевом разряде слова из ОЗУ с адресом XXXXX2 (XXXXX6),
- при инициализации (общем сбросе).

Наращивание состояния счетчика переданных слов происходит после передачи в последовательный канал 16 бит первого полуслова ДПК независимо от того, закончится ли передача всего слова ДПК успешно или нет. Счетчик переданных слов имеет независимый внешний дополнительный синхровход (ЕХТ), обеспечивающий ускоренное

					ИРВЖ.431262.080-002ТО		Лист
							31
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата		Взам.инв. №	Инв.№ дубл.	Подп и дата		

тестирование счетчика при разбраковке микросхемы. Для нормальной работы счетчика переданных слов вход EXT должен быть подключен к общей шине ("земле").

Режимы работы каждого Передатчика задает его *регистр управления* RCT. Он имеет 4 разряда, нумерация и назначение которых приведены в таблице 4.

Бит "GO" запуска/останова Передатчика (разряд RCT[0]) устанавливается в "1" автоматически при установке ненулевой комбинации в разрядах RCT[1] и RCT[2]. Сбрасывается аппаратно при ошибке в работе Передатчика или программно при записи в разряды RCT[1] и RCT[2] комбинации {00}.

Зависимость рабочей частоты Передатчика от содержимого разрядов RCT[1] и RCT[2] показана в таблице 8.

Таблица 8 – Задание рабочей частоты, $F_{\text{раб}}$, Передатчика

Разряды регистра управления		Режим работы, рабочая частота
RCT[2]	RCT[1]	
0	0	Передатчик выключен
0	1	Передатчик работает, $F_{\text{раб}} = 100$ кГц
1	0	Передатчик работает, $F_{\text{раб}} = 50$ кГц
1	1	Передатчик работает, $F_{\text{раб}} = 12,5$ кГц

Бит запрета/разрешения циклической работы Передатчика (разряд RCT[3]) устанавливается программно в "1" для запрета циклической работы или в "0" для ее разрешения. В зависимости от его значения Передатчик находится в одном из режимов работы:

- *однократный* (RCT[3] = 1), Передатчик останавливается (сбрасывает в "0" разряды 0–2 регистра управления, обнуляет счетчик адреса и формирует запрос прерывания) при обнаружении признака окончания группы ("1" в нулевом (последнем передаваемом) разряде слова из ОЗУ с адресом XXXXX2 (XXXXX6));

- *циклический* (RCT[3] = 0), при обнаружении признака окончания группы ("1" в нулевом разряде слова из ОЗУ с адресом XXXXX2 (XXXXX6)). Передатчик лишь обнуляет счетчик адреса, не прекращая своей работы и не формируя запроса прерывания. При общем сбросе бит RCT[3] устанавливается в состояние "0" ("разрешение циклической работы").

Регистр управления RCT доступен для чтения и записи.

Запись в регистр управления RCT осуществляется одним 16-разрядным словом во все Передатчики одновременно (адрес = {1744X4}): биты 0-3 для Передатчика-0, 4-7 –

					ИРВЖ.431262.080-002ТО		Лист
							32
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

для Передатчика-1, 8-11 – для Передатчика-2, 12-15 – для Передатчика-3. Запись разрешается, если младший бит соответствующей четверки бит установлен в "0". В противном случае запись блокируется и состояние регистра управления не меняется. Такой механизм позволяет выборочно устанавливать регистр управления требуемого Передатчика без внесения изменений в регистры управления остальных Передатчиков. Для этого надо младший бит четверки бит, соответствующих нужному Передатчику, задать равным "0", в то время как младшие биты остальных четверок бит задать равными "1".

Чтение регистра управления RCT по тому же адресу позволяет получить информацию о состоянии всех четырех бит регистра управления для каждого Передатчика.

Для получения доступа к общему ОЗУ с целью чтения из него передаваемого слова Передатчик формирует *требование ПДП*. Оно формируется в следующих случаях:

- при запуске Передатчика (установке в "1" разряда RCT[0]);
- при успешной передаче текущего 32-разрядного слова ДПК, если Передатчик находится в циклическом режиме работы или переданное слово не является последним в группе.

Работа Передатчика блокируется, если выставленное требование ПДП еще не обслужено (в регистр сдвига не записано новое 16-разрядное слово из ОЗУ). В этом случае пауза между словами может быть больше, чем 4 периода рабочей частоты.

Сброс требования ПДП происходит в случаях:

- ошибки ПДП данного Передатчика;
- записи в буферный регистр Передатчика первого полуслова ДПК;
- при общем сбросе микросхемы.

Запрос прерывания формируется при установленном в "1" бите разрешения прерываний (разряд RBA[6] регистра базового адреса) в следующих случаях:

- при обнаружении ошибки ПДП,
- при обнаружении признака окончания группы слов, если установлен режим однократной работы.

Одновременно с этим сбрасывается в "0" счетчик переданных слов.

Адрес (номер) Передатчика, последним сформировавшего запрос прерывания, фиксируется в регистре базового адреса (разряды RBA[10] – RBA[13]).

Разряды RBA[10] – RBA[13] используются для фиксирования номеров всех Передатчиков и Приемников и переписываются каждым следующим устройством, сформировавшим запрос прерывания.

					ИРВЖ.431262.080-002ТО		Лист
							33
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

ровавшим запрос прерывания, независимо от того, был ли обслужен предыдущий запрос прерывания или нет¹⁾.

Сброс запроса прерывания происходит при обслуживании прерывания или сигналом общего сброса.

Передатчик останавливает свою работу (разряды RCT[0]–RCT[2] его регистра управления сбрасываются в "0") в следующих случаях:

- разряды RCT[1] и RCT[2] регистра управления Передатчика программно устанавливаются в "0", при этом запросы ПДП и прерывания не формируются;
- произошла ошибка ПДП после завершения предыдущей передачи, при этом формируется запрос прерывания;
- обнаружен признак окончания группы ("1" в последнем разряде передаваемого слова, считанного из ОЗУ) при отключенном режиме циклической работы, при этом также формируется запрос прерывания.

В последних двух случаях разряд RCT[3] устанавливается в "0". Значение RCT[3]=1 ("запрет циклической работы") может быть установлено только адресной записью в регистры управления Передатчиков.

В процессе передачи Передатчик контролирует количество единичных битов в последовательном коде. С помощью *счетчика переданных бит* и *блока проверки четности* последний (32-ой) бит передаваемого слова ДПК автоматически устанавливается в значение "0" или "1", обеспечивающее нечетное количество единиц в составе переданного слова

При *общем сбросе* в Передатчике происходит следующее:

- разряды RCT[0]–RCT[2] регистра управления устанавливаются в "0", а разряд RCT[3] – в "1". Передатчик останавливается;
- счетчик переданных слов устанавливается в нулевое состояние;
- счетчик переданных бит сбрасывается в состояние "0";

¹ Это чревато тем, что Передатчик, останавливающий свою работу из-за прерывания, не будет вовремя запущен, если процессор не узнает о его остановке в результате наложения по времени нескольких прерываний от разных устройств. Рекомендация в данном случае – периодическое чтение регистров управления Передатчиков для своевременного обнаружения их остановки.

					ИРВЖ.431262.080-002ТО		Лист
							34
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

- требования прерывания и ПДП, если они были установлены к этому времени, сбрасываются;
- формирователь паузы между словами сбрасывается в состояние "0";
- блок контроля четности сбрасывается в исходное состояние;
- состояния буферного и сдвигового регистров Передатчика не изменяется.

7.4 Работа микросхемы в режиме приемника

Приемник предназначен для приема 32-разрядного слова ПДК по последовательному каналу в синхронном режиме. Бит данных сопровождается задним фронтом (переходом из 1 в 0) синхросигнала. Для каждого Приемника имеется своя пара входа данных и входа сигнала синхронизации. В состоянии ожидания на входе сигнала синхронизации хранится низкий уровень (0 В). Слово ПДК передается старшим битом вперед.

Режимы работы Приемника задаются его регистром управления RCR. Регистр управления RCR имеет 3 разряда, назначение которых приведено в таблице 5.

Рабочая частота (частота приема по последовательному каналу) задается с помощью разрядов RCR[1] и RCR[2] регистра управления. Зависимость рабочей частоты Приемника от содержимого разрядов RCR[1] и RCR[2] представлена в таблице 9.

Таблица 9 – Задание рабочей частоты, $F_{\text{раб}}$, Приемника

Разряды регистра управления		Режим работы, рабочая частота
RCR[2]	RCR[1]	
0	0	Приемник выключен
0	1	Приемник работает, $F_{\text{раб}} = 100$ кГц
1	0	Приемник работает, $F_{\text{раб}} = 50$ кГц
1	1	Приемник работает, $F_{\text{раб}} = 12,5$ кГц

Значение разряда RCR[0] определяется значением разрядов RCR[1] и RCR[2]. Разряды RCR[1] и RCR[2] доступны для записи и чтения. Одним 16-битным словом с помощью процедуры адресной записи (адрес = {1744X0}) программируются регистры управления всех 8 Приемников одновременно: биты 0-1 для Приемника-0, 2-3 – для Приемника-1, ..., 14-15 – для Приемника-7.

Чтение регистра управления по тому же адресу позволяет получить информацию о состоянии разрядов RCR[1] и RCR[2] регистров всех Приемников.

					ИРВЖ.431262.080-002ТО		Лист
							35
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Приемник запускается установкой в "1" нулевого разряда регистра управления Приемника. Запуск осуществляется программно – установкой в регистре управления Приемника разрядов выбора рабочей частоты приема из разрешенного набора. После запуска Приемник готов к приему слова ДПК. Принятые слова Приемник передает в общее ОЗУ в режиме ПДП, при этом разряды 15–0 слова в ОЗУ с адресом XXXXX0 (XXXXX4) соответствуют 0–15 разрядам слова ДПК, а разряды 15–1 слова в ОЗУ с адресом XXXXX2 (XXXXX6) соответствуют 16–31 разрядам слова ДПК.

Слово ДПК считается принятым, если выполнены все следующие условия:

- приняты 32 бита информации;
- количество единиц в принятом слове нечетно;
- наличие паузы – не менее 1,5 периодов рабочей частоты Приемника – в принимаемой последовательности в конце слова ДПК.

Длительность паузы между принятыми словами определяется счетчиком принятых бит. По окончании контролируемой паузы – не менее 1,5 периодов рабочей частоты Приемника формируется локальный сброс Приемника.

В случае успешного приема слова ДПК Приемник инициирует чтение из локального ОЗУ 4-битового слова.

Адрес слова в локальном ОЗУ формируется на основе первого байта принятого слова ДПК и номера Приемника, указанного в таблице 10.

Таблица 10 – Адрес слова, считываемого из локального ОЗУ

Разряд	Значение
10–8	Адрес (номер) Приемника, инициировавшего чтение, в обратном порядке бит $\{r_2r_1r_0\}$
7–0	Разряды 0...7 принятого слова

В соответствии с информацией, считанной из локального ОЗУ, Приемник устанавливает свой режим работы. Нумерация и назначение разрядов слова данных, хранящегося в локальном ОЗУ, приведены в таблице 11.

Таблица 11 – Содержимое слова данных в локальном ОЗУ

Разряд	Назначение
3	Бит начала пассивного режима
2	Бит разрешения начала активного режима
1	Бит разрешения ПДП
0	Бит прерывания Приемника

					ИРВЖ.431262.080-002ТО		Лист
							36
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Если бит прерывания Приемника установлен в "1", Приемник формирует запрос прерывания. Если бит разрешения ПДП установлен в "0", требование ПДП не формируется, принятое слово ДПК никуда не передается и Приемник продолжает работу. Если бит разрешения начала активного режима установлен в "1", то принимаемые слова, начиная с текущего, при выполнении прочих разрешающих условий переписываются в общее ОЗУ. Если же установлен в "1" бит начала пассивного режима, то принимаемые слова, начиная с текущего, не переписываются в общее ОЗУ.

Из 8 бит слова, хранимого в локальном ОЗУ, реально используются только 4 младших бита {D3...D0}. Значения других 4 бит не используются и не имеют значения.

В активном режиме работы Приемник принимает все поступающие на его вход слова и передает их с помощью ПДП в общее ОЗУ при выполнении разрешающих условий. В пассивном режиме Приемник принимает все поступающие на его вход слова, но не передает их в общее ОЗУ до тех пор, пока в считанном из локального ОЗУ слове не окажется установленным бит начала активного режима.

Способ формирования адреса при записи принятого слова в общее ОЗУ в сеансе ПДП представлен в таблице 12.

Таблица 12 – Формирование адреса ОЗУ при ПДП Приемника

Разряд	Значение
21–16	Разряды RBA[5]...RBA[0] регистра базового адреса
15–14	Разряды RBA[15]...RBA[14] регистра базового адреса
13	Признак ПДП Приемника (всегда "0")
12–10	Номер Приемника в обратном порядке
9–2	Биты 0–7 принятого слова
1	Номер 16-разрядного полуслова
0	Всегда "0"

Требование ПДП Приемником выставляется в активном режиме работы при успешном приеме текущего 32-разрядного слова ДПК и при установленном в "1" бите разрешения ПДП в локальном ОЗУ по адресу в принятом слове. Выставленное требование ПДП сбрасывается с началом приема следующего слова ДПК либо после чтения 0–15 бит слова ДПК из буферного регистра Приемника в режиме ПДП и перезаписи в него 16–31 бит слова ДПК из сдвигового регистра Приемника. В пассивном режиме требование ПДП не выставляется

					ИРВЖ.431262.080-002ТО		Лист
							37
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Запрос прерывания формируется при установленном в "1" бите прерывания в локальном ОЗУ по адресу в принятом слове или при ошибке ПДП в том случае, если бит разрешения прерывания (разряд 6) в регистре базового адреса установлен в "1". Номер Приемника, который последним сформировал запрос прерывания, фиксируется в регистре базового адреса микросхемы (в разрядах RBA[10]– RBA[13]). При появлении запроса прерывания от другого устройства МКПП содержимое разрядов RBA[10]–RBA[13] обновляется новым номером, даже если системный микропроцессор не успел обработать запрос на прерывание.

Приемник останавливает свою работу (перестает принимать поступающие на его вход слова) только в том случае, если разряды регистра управления Приемника программно устанавливаются в "0", или при подаче на вход INIT микросхемы сигнала общего сброса (INIT=0).

При *общем сбросе* в Приемнике происходит следующее:

- все разряды регистра управления Приемника устанавливаются в "0", Приемник останавливается;
- требование ПДП, если оно было установлено к этому времени, сбрасывается;
- счетчик принятых бит сбрасывается в состояние "0";
- блок контроля четности сбрасывается в исходное состояние;
- состояния буферного и сдвигового регистров Приемника не изменяются.

7.5 Прерывания

При возникновении некоторых исключительных ситуаций микросхема МКПП выставляет запрос на прерывание, но лишь в том случае, если бит разрешения прерывания (разряд RBA[6]) в регистре базового адреса установлен в "1". Это происходит в следующих ситуациях:

- в считанном Приемником из локального ОЗУ слове данных бит прерывания установлен в "1";
- при ошибке ПДП Приемника;
- при ошибке ПДП Передатчика;
- при обнаружении Передатчиком признака окончания группы слов, если установлен режим однократной работы Передатчика.

					ИРВЖ.431262.080-002ТО		Лист
							38
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата		Взам.инв. №	Инв.№ дубл.	Подп и дата		

На рисунке 11 приведен пример организации обработки прерывания при ошибке ПДП передатчика (МКПП не дождался от системы разрешения на чтение данных из общего ОЗУ в течение 8 периодов системной частоты после установки сигнала SYNC=0). В результате МКПП устанавливает сигнал IRQ=0 (рисунок 11), предлагая центральному микропроцессору обработать это прерывание. Сигнал IRQ является общим для всех устройств, подключенных к магистральной шине. Выставлять запрос прерывания могут одновременно несколько устройств на этой шине. Арбитраж между ними осуществляется с помощью пары сигналов IAKI, IAKO. Они соединяют все устройства на магистральной шине в кольцо: выход IAKO одного устройства, в том числе центрального микропроцессора, подключается ко входу IAKI следующего устройства. Обнаружив низкий уровень сигнала IRQ, центральный микропроцессор выставляет сигнал IAKI=0 и DIN=0. Устройства, не требующие обработки прерывания в данный момент времени, транслируют этот сигнал на свой выход IAKO, передавая его по цепочке. Самое близкое к центральному микропроцессору в этой цепочке устройство (в данном случае – МКПП), сформировавшее запрос на прерывание, обнаружив сигнал IAKI=0, переводит свой выход IRQ в неактивное состояние, прерывает трансляцию сигнала IAKI по цепочке, выставляет на магистральную шину *вектор прерывания* и подтверждает наличие данных на магистральной шине сигналом RPLY=0. С точки зрения МКПП запрос на прерывание считается обработанным.

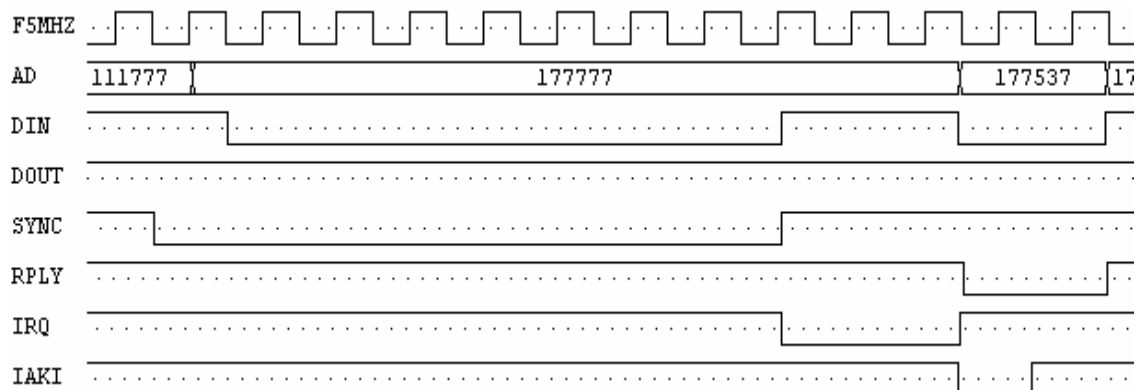


Рисунок 11 – Обработка прерывания при ошибке ПДП

Далее система может считать из регистра базового адреса номер устройства, вызвавшего прерывание, так называемый *адрес прерывания*, и при необходимости принять меры по анализу и устранению возможных причин прерывания.

					ИРВЖ.431262.080-002ТО		Лист
							39
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Вектор прерывания, выставляемый при запросе прерывания микросхемой МКПП, является 8-битным словом, занимающим младший байт в двухбайтном слове на шине Q-bus. При считывании вектора прерывания старший байт слова шины Q-bus не определен. Вектор прерывания имеет следующий формат {2X0} и определяется аппаратным кодом микросхемы, как показано в таблице 2.

Адрес прерывания фиксируется в регистре базового адреса и содержит адрес устройства, вызвавшего прерывание последним по времени. Устройство, вызвавшее прерывание (один из Передатчиков или Приемников), записывает свой адрес в разряды 10 – 13 регистра базового адреса RBA. Адреса Приемников и Передатчиков МКПП представлены в таблице 13.

При чтении адреса прерывания действительные значения имеют только разряды 10 – 13 читаемого слова. Остальные разряды читаемого слова содержат произвольную информацию.

Сброс запроса прерывания происходит только в результате чтения вектора прерывания центральным процессором или сигналом общего сброса.

Таблица 13 – Адреса Приемников и Передатчиков МКПП

Устройство	Аппаратный ключ {KEY1, KEY0}			
	00	01	10	11
Приемник-0	x00xxx	x01xxx	x40xxx	x41xxx
Приемник-1	x02xxx	x03xxx	x42xxx	x43xxx
Приемник-2	x04xxx	x05xxx	x44xxx	x45xxx
Приемник-3	x06xxx	x07xxx	x46xxx	x47xxx
Приемник-4	x10xxx	x11xxx	x50xxx	x51xxx
Приемник-5	x12xxx	x13xxx	x52xxx	x53xxx
Приемник-6	x14xxx	x15xxx	x54xxx	x55xxx
Приемник-7	x16xxx	x17xxx	x56xxx	x57xxx
Передатчик-0	x20xxx	x21xxx	x60xxx	x61xxx
Передатчик-1	x22xxx	x23xxx	x62xxx	x63xxx
Передатчик-2	x24xxx	x25xxx	x64xxx	x65xxx
Передатчик-3	x26xxx	x27xxx	x66xxx	x67xxx

					ИРВЖ.431262.080-002ТО		Лист
							40
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

8 Указания по применению и эксплуатации

8.1 Указания и рекомендации по эксплуатации в соответствии с ОСТ В 11 0998.

8.2 При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы. Допустимое значение статического потенциала 200 В по ОСТ 11 073.062.

8.3 Режим и условия монтажа микросхем в аппаратуре – по ОСТ 11 В 073.063.

8.4 Рекомендуется начинать пайку с выводов питания. Пайку остальных выводов разрешается производить в любой последовательности. Все неиспользуемые входы микросхемы должны соединяться с шиной "питание" или "общий" в зависимости от выполняемой логической функции.

8.5 При ремонте аппаратуры и измерении параметров микросхемы в контактирующих устройствах замену микросхемы необходимо производить только при отключенных источниках питания.

					ИРВЖ.431262.080-002ТО		Лист
							41
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Приложение А

(обязательное)

Сокращения, принятые в техническом описании

ДПК – 32-х разрядный двоичный последовательный код

МКПП – многоканальный приемник-передатчик

ОЗУ – Оперативное запоминающее устройство

ПДП – Прямой доступ к памяти

RBA – регистр базового адреса

RCR – регистр управления приемника

RCT – регистр управления передатчика

					ИРВЖ.431262.080-002ТО	Лист
						42
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

Приложение Б

(обязательное)

Ссылочные нормативные документы

Обозначение документа, на который дана ссылка	Номер раздела, подраздела, пункта, подпункта, приложения ТУ, в котором дана ссылка
ГОСТ 18977-79	1, 3
РТМ 1495-75	1, 3
ОСТ В 11 0998	8
ОСТ 11 073.062	8
ОСТ 11 В 073.063	8

					ИРВЖ.431262.080-002ТО	Лист
						43
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

