

УТВЕРЖДАЮ

Заместитель генерального директора
ОАО НПО “Физика” по научной работе

И.М.Гуляев

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1582ВЖ3-0266

Техническое описание
ИРВЖ.431262.001-047ТО

Главный конструктор

А.В.Розе

2005

Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата

1 Наименование

Системный контроллер для микропроцессора 1806BM2.

2 Назначение микросхемы

Микросхема интегральная 1582ВЖ3-0266 (далее - микросхема) является основной БИС набора, позволяющего реализовать управляющую микро-ЭВМ средней производительности. Микросхема предназначена для использования в качестве контроллера статического ОЗУ и ПЗУ, а также для обеспечения минимально необходимых интерфейсов в системах реального времени.

Для упрощения отладки сложных микропроцессорных систем в микросхеме реализован на аппаратном уровне режим загрузки и чтения данных из памяти через канал RS232, что позволяет полностью отказаться от ПЗУ и загружать управляющую программу в память непосредственно перед использованием микропроцессорной системы.

Микросхема выполнена по КМОП-технологии на основе БМК серии 1582ВЖ3.

Кристалл, содержащий 3123 базовых ячеек, имеет заполнение 58% .

3 Устройство и работа

3.1 Корпус микросхемы 4226.108-2 УФ0.487.070ТУ.

3.2 Условное графическое обозначение микросхемы приведено на рисунке 1.

3.3 Структурная схема микросхемы приведена на рисунке 2.

4 Назначение выводов микросхемы и ее основных блоков

Нумерация и назначение внешних выводов микросхемы приведены в таблице 1. Во второй графе таблицы 1 "тип буфера" указывается номер соответствующего этому буферу рисунка.

					ИРВЖ.431262.001-047ГО	Лист
						3
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Микросхема включает в себя следующие основные блоки:

- контроллер ОЗУ/ПЗУ;
- системный таймер;
- последовательный канал RS-232 с программируемой частотой передачи;
- контроллер системной магистрали Q-BUS;
- универсальный 8-ми разрядный порт ввода-вывода и контроллер внешних запросов прерываний на 2 линии;
- блок формирования сигналов готовности источника питания ACLO-DCLO;
- контроллер зависания системы Watch-Dog (WD);
- общесистемный регистр управления БИС (177520);
- регистр начального пуска;
- кварцевый генератор (кварц снаружи);

Таблица 1 – Нумерация и назначение внешних выводов

Номер вывода	Тип буфера	Обозначение вывода	Наименование вывода
1	8	AD15	Вход/выход "15-ый разряд адреса-данных системной магистрали"
2	8	AD14	Вход/выход "14-ый разряд адреса-данных системной магистрали"
3	8	AD13	Вход/выход "13-ый разряд адреса-данных системной магистрали"
4	8	AD12	Вход/выход "12-ый разряд адреса-данных системной магистрали"
5	4	SEL	Вход "Обращение к системной области ЗУ"
6	-	-	Свободный
7	8	AD11	Вход/выход "11-ый разряд адреса-данных системной магистрали"
8	8	AD10	Вход/выход "10-ый разряд адреса-данных системной магистрали"
9	8	AD9	Вход/выход "9-ый разряд адреса-данных системной магистрали"
10	8	AD8	Вход/выход "8-ой разряд адреса-данных системной магистрали"
11	-	VDD	Питание
12	8	AD7	Вход/выход "7-ой разряд адреса-данных системной магистрали"

					ИРВЖ.431262.001-047ГО	Лист
						4
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Номер вывода	Тип буфера	Обозначение вывода	Наименование вывода
13	8	AD6	Вход/выход "6-ой разряд адреса-данных системной магистрали"
14	8	AD5	Вход/выход "5-ый разряд адреса-данных системной магистрали"
15	8	AD4	Вход/выход "4-ый разряд адреса-данных системной магистрали"
16	8	AD3	Вход/выход "3-ий разряд адреса-данных системной магистрали"
17	-	-	Свободный
18	8	AD2	Вход/выход "2-ой разряд адреса-данных системной магистрали"
19	8	AD1	Вход/выход "1-ый разряд адреса-данных системной магистрали"
20	8	AD0	Вход/выход "0-ой разряд адреса-данных системной магистрали"
21	4	QBE	Вход "Включение режима активного устройства на шине"
22	-	GND	Общий
23	3	H100HZ	Выход сигнала "Частота 100 Гц"
24	4	INIT	Вход сигнала "Сброс по системной магистрали"
25	-	-	Свободный
26	3	IAKO	Выход сигнала "Разрешение прерывания"
27	3	DD	Выход сигнала "Выход передатчика RS-232"
28	6	QE1	Вход для подключения кварцевого резонатора
29	5	QE2	Выход для подключения кварцевого резонатора
30	3	CLCE	Выход сигнала "Системная частота"
31	12	VIRQ	Выход сигнала "Запрос векторного прерывания"
32	6	IAKI	Вход сигнала "Разрешение прерывания"
33	-	-	Свободный
34	4	SYNC	Вход/выход сигнала "Синхронизации системной магистрали"
35	3	ACLO	Выход сигнала "Переменное напряжение источника питания в норме"
36	-	VDD	Питание
37	3	ALARM	Выход сигнала "Тревога. Многократная активация сигнала WD"
38	3	DCLO	Выход сигнала "Постоянное напряжение источника питания в норме"
39	4	DOUT	Вход/выход сигнала "Вывод данных"
40	3	AR	Выход сигнала "Адрес принят"
41	-	-	Свободный
42	11	RPLY	Выход сигнала "Синхронизация пассивных устройств"
43	4	WD_EN	Вход сигнала "Блокировка работы WD"
44	3	CEO	Выход сигнала "Разрешение по выходу"
45	3	WRL	Выход сигнала "Запись-считывание"
46	-	-	Свободный

					ИРВЖ.431262.001-047ТО	Лист
						5
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата		Взам. Инв. №	Инв. № дубл.	Подп. и дата	

Номер вывода	Тип буфера	Обозначение вывода	Наименование вывода
47	3	WRH	Выход сигнала "Запись-считывание"
48	3	E1	Выход сигнала "Частота 1МГц"
49	-	GND	Общий
50	4	DIN	Вход/выход сигнала "Ввод данных"
51	4	WTBT	Вход/выход сигнала "Запись/байт"
52	4	RP8	Вход сигнала "8-й разряд регистра начального пуска"
53	4	NRS	Вход сигнала "Начальная установка"
54	9	D0	Вход/выход "0-ой разряд шины данных ЗУ"
55	9	D1	Вход/выход "1-ый разряд шины данных ЗУ"
56	9	D2	Вход/выход "2-ой разряд шины данных ЗУ"
57	9	D3	Вход/выход "3-ий разряд шины данных ЗУ"
58	10	FR0	Вход/выход "0-ой разряд универсального регистра"
59	10	FR1	Вход/выход "1-ый разряд универсального регистра"
60	-	-	Свободный
61	10	FR2	Вход/выход "2-ой разряд универсального регистра"
62	10	FR3	Вход/выход "3-ий разряд универсального регистра"
63	10	FR4	Вход/выход "4-ый разряд универсального регистра"
64	10	FR5	Вход/выход "5-ый разряд универсального регистра"
65	-	VDD	Питание
66	10	FR6	Вход/выход "6-ой разряд универсального регистра"
67	10	FR7	Вход/выход "7-ой разряд универсального регистра"
68	9	D4	Вход/выход "4-ый разряд шины данных ЗУ"
69	9	D5	Вход/выход "5-ый разряд шины данных ЗУ"
70	9	D6	Вход/выход "6-ой разряд шины данных ЗУ"
71	-	VDD	Питание
72	9	D7	Вход/выход "7-ой разряд шины данных ЗУ"
73	9	D8	Вход/выход "8-ой разряд шины данных ЗУ"
74	9	D9	Вход/выход "9-ый разряд шины данных ЗУ"
75	9	D10	Вход/выход "10-ый разряд шины данных ЗУ"
76	-	GND	Общий
77	9	D11	Вход/выход "11-ый разряд шины данных ЗУ"
78	9	D12	Вход/выход "12-ый разряд шины данных ЗУ"
79	9	D13	Вход/выход "13-ый разряд шины данных ЗУ"
80	9	D14	Вход/выход "14-ый разряд шины данных ЗУ"
81	9	D15	Вход/выход "15-ый разряд шины данных ЗУ"
82	4	RP45	Вход "14,15 разряды регистра начального пуска"
83	3	CS4	Выход сигнала "Выбор БИС ЗУ композитный"
84	3	CS3	Выход сигнала "Выбор БИС ЗУ – 3 банк"
85	3	CS2	Выход сигнала "Выбор БИС ЗУ – 2 банк"
86	3	CS1	Выход сигнала "Выбор БИС ЗУ – 1 банк"
87	-	-	Свободный
88	3	CS0	Выход сигнала "Выбор БИС ЗУ – 0 банк"
89	3	A1	Выход "1-ый разряд шины адреса ЗУ"

					ИРВЖ.431262.001-047ТО	Лист
						6
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Номер вывода	Тип буфера	Обозначение вывода	Наименование вывода
90	-	VDD	Питание
91	3	A2	Выход "2-ой разряд шины адреса ЗУ"
92	3	A3	Выход "3-ий разряд шины адреса ЗУ"
93	3	A4	Выход "4-ый разряд шины адреса ЗУ"
94	3	A5	Выход "5-ый разряд шины адреса ЗУ"
95	-	-	Свободный
96	3	A6	Выход "6-ой разряд шины адреса ЗУ"
97	3	A7	Выход "7-ой разряд шины адреса ЗУ"
98	3	A8	Выход "8-ой разряд шины адреса ЗУ"
99	3	A9	Выход "9-ый разряд шины адреса ЗУ"
100	-	-	Свободный
101	3	A10	Выход "10-ый разряд шины адреса ЗУ"
102	3	A11	Выход "11-ый разряд шины адреса ЗУ"
103	-	GND	Общий
104	4	A12	Выход "12-ый разряд шины адреса ЗУ"
105	3	A13	Выход "13-ый разряд шины адреса ЗУ"
106	3	A14	Выход "14-ый разряд шины адреса ЗУ"
107	3	A15	Выход "15-ый разряд шины адреса ЗУ"
108	13	DE	Вход сигнала "Вход приемника RS-232"

4.1 Контроллер ОЗУ/ПЗУ

Контроллер ОЗУ/ПЗУ обеспечивает подключение различных типов микросхем памяти и полностью закрывает адресное пространство памяти микропроцессора N1806BM2. Всё адресное пространство разбито на 4 банка. Выбор банка памяти осуществляется подачей низкого уровня напряжения (лог. 0) на соответствующий вывод CS0-CS4, формирование стробов CS0-CS4 определяется принадлежностью адреса выбранному диапазону и значением сигнала Sel в соответствии с таблицей 2.

Таблица 2 – Формирование стробов выбора банка памяти

Адресуемая область	Формируемые управляющие сигналы				Примечание
	Sel = 1		Sel = 0		
000000 037777	CS0	CS4	CS1	-	-
040000 077777	CS1	-	-	-	
100000 137777	CS2	CS4	-	-	

					ИРВЖ.431262.001-047ТО	Лист
						7
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

140000	CS3	CS4	CS3	CS4	В "HALT" режиме (Sel = 0) при обращении на шине Q-BUS к данному диапазону адресов, разряд A13 адресной шины памяти устанавливается в "1" (высокий уровень)
157777					

Каждая операция чтения из внешнего запоминающего устройства сопровождается формированием сигнала низкого уровня напряжения (лог. 0) на внешнем выводе CEO.

Каждая операция записи сопровождается формированием лог.0 на выводе WRL для младшего байта и WRH для старшего.

					ИРВЖ.431262.001-047ТО	Лист
						8
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

4.2 Системный таймер

Системный таймер обеспечивает формирование прерывания с вектором 104 и периодом 20 мс. Разрешение/запрет прерывания контролируется установкой/сбросом 6-ого разряда внутреннего 8-ми разрядного регистра управления с адресом 177520. Сразу после включения питания и по сигналу INIT данный разряд сбрасывается в 0.

4.3 Контроллер RS232

Контроллер последовательной передачи данных RS-232 обеспечивает дуплексный обмен данными с внешними устройствами, поддерживающими стандарт RS232, с программируемой скоростью 9600, 19200, 38400, 115200 бод. Обмен данными может производиться с обеспечением контроля по четности (к передаваемому байту прибавляется бит четности, обеспечивая нечетное число "1" в посылке) или без него.

Кроме ошибок четности при разрешенном контроле, контроллер приемника также фиксирует ошибки несвоевременного прочтения принятого байта.

Контроллер RS232 обеспечивает полную поддержку системы векторного прерывания.

Для управления работой контроллера используются четыре внутренних регистра.

Адреса регистров и значения векторов прерывания контроллера RS-232 фиксированы и приведены в таблице 3 и в таблице 4 соответственно.

Назначение разрядов регистра состояния приемника приведено в таблице 5.

Назначение разрядов регистра состояния передатчика приведено в таблице 6.

Таблица 3 - Адреса регистров контроллера RS-232

177560	Регистр состояния приемника
177562	Регистр данных приемника
177564	Регистр состояния передатчика
177566	Регистр данных передатчика

					ИРВЖ.431262.001-047ТО		Лист
							9
Изм.	Лист	№ докум.	Подп.	Дата			
Инв. № подл.		Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Таблица 4 – Значения векторов прерывания контроллера RS-232

60	Адрес-вектор прерывания приемника
64	Адрес-вектор прерывания передатчика

Таблица 5 - Назначение разрядов регистра состояния приемника

Разряды	Назначение	Установка/сброс, комментарий
0	Ошибка чтения символа.	Устанавливается в случае, когда по окончании приема текущего байта предыдущий не прочитан. Сбрасывается по операции чтения регистра данных приемника. После включения питания находится в неопределенном состоянии.
1	Ошибка четности в принятом символе.	Устанавливается в случае приема байта с четным числом значащих единиц при установленном режиме контроля четности. Сбрасывается по операции чтения регистра данных приемника. После включения питания находится в неопределенном состоянии.
6	Разрешение прерывания приемника.	При установке в "1" разрешает выполнение процедуры векторного прерывания при готовности приемника. Устанавливается и сбрасывается программным образом. Сбрасывается по сигналу INIT. После включения питания устанавливается в "0".
7	Готовность приемника	Устанавливается в "1" по окончании приема байта. Сбрасывается в "0" при чтении регистра данных приемника, чтении адрес-вектора приемника, по сигналу INIT. После включения питания устанавливается в "0". Доступен только по чтению.

					ИРВЖ.431262.001-047ТО	Лист
						10
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Таблица 6 - Назначение разрядов регистра состояния передатчика

Разряды	Назначение	Установка/сброс, комментарий
1	Разрешение контроля четности	<p>При установке в "1", контроллер принимает и передает данные с контролем по четности.</p> <p>Устанавливается и сбрасывается программным способом.</p> <p>Программное изменение состояния данного разряда возможно только при одновременной записи в разряд 5 "1".</p> <p>При включении питания и по сигналу INIT – сбрасывается.</p>
2	Разрешение петлевого контроля	<p>При установке в "1" выполняется внутреннее подключение выхода передатчика к входу приемника.</p> <p>Используется для целей диагностики.</p> <p>Устанавливается и сбрасывается программным способом.</p> <p>Программное изменение состояния данного разряда возможно только при одновременной записи в разряд 5 "1".</p> <p>При включении питания и по сигналу INIT – сбрасывается.</p>
3	Младший разряд двухбитного кода выбора частоты передачи	<p>00-9600, 01-19200, 10-38400, 11- 115200.</p> <p>Устанавливаются и сбрасываются программным способом.</p> <p>Программное изменение состояния данных разрядов возможно только при одновременной записи в разряд 5 "1".</p> <p>При включении питания и по сигналу INIT – устанавливается код 00 (9600 бод).</p>
4	Старший разряд двухбитного кода выбора частоты передачи	
5	Разрешение изменения состояния младших разрядов	Только запись, при чтении всегда читается как "0".
6	Разрешение прерывания передатчика	<p>При установке в "1" разрешает выполнение процедуры векторного прерывания при готовности передатчика.</p> <p>Устанавливается и сбрасывается программно.</p> <p>При включении питания и по сигналу INIT – сбрасывается.</p>
7	Готовность передатчика	<p>Устанавливается при готовности передатчика принять данные для передачи.</p> <p>При включении питания и по сигналу INIT – устанавливается в "1".</p>

					ИРВЖ.431262.001-047ТО	Лист
						11
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Регистры данных приемника и передатчика представляют собой 16-ти битные регистры. Назначение старших байтов этих регистров объясняется далее.

На выход передатчика контроллера данные поступают в инверсном виде.

Для согласования уровней сигналов на выводах контроллера и определяемых стандартом RS232 к входу приемника необходимо подключить резистор номиналом 15-20 кОм, а к выходу передатчика – инвертирующий преобразователь уровня.

Для расширения функциональных возможностей данной микросхемы, в ней реализован режим активного контроллера магистрали Q-BUS. Перевод микросхемы в этот режим осуществляется подачей импульсного сигнала лог.0 на вход QBE. При входе в этот режим на выходах DCLO, ACLO устанавливаются уровни лог. 0, с целью отключения (перевода в высокоимпедансное состояние) драйверов шины процессора H1586BM2.

В этом режиме микросхема сохраняет способность обмениваться данными с внешними устройствами через канал RS232. При этом первые два принятые байта используются микросхемой как адрес на шине Q-BUS, при этом первый принятый байт является старшим байтом адреса.

Если принятый адрес является четным, то микросхема инициирует на магистрали Q-BUS цикл записи, выставляет на шину адреса-данных принятое слово и сигнал WTBT и генерит отрицательный фронт сигнала SYNC, далее микросхема принимает следующие два байта по каналу RS232, выставляет их на шину адреса-данных, формирует строб DOUT и завершает цикл Q-BUS. Таким образом, осуществляется запись данных по любому произвольному адресу на шине Q-BUS.

Если принятый адрес является нечетным, то микросхема инициирует на шине Q-BUS цикл чтения, выставляет на шину адреса-данных принятое слово, устанавливая в самом младшем разряде 0, генерит отрицательный фронт сигнала SYNC и далее с некоторой задержкой строб DIN и завершает цикл Q-BUS. Принятая информация фиксируется во внутреннем регистре, и далее по-байтно передается через RS232, при этом первым передается младший байт прочитанного слова. Таким образом, осуществляется чтение данных по любому произвольному адресу на шине Q-BUS.

					ИРВЖ.431262.001-047ТО	Лист
						12
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Выход из этого режима и переход к нормальному функционированию осуществляется установкой в регистре 177520 2-ого разряда.

4.4 Контроллер системной магистрали Q-BUS

Контроллер системной магистрали Q-BUS обеспечивает выполнение стандартного протокола обмена данными на данной магистрали. Единственная особенность заключается в использовании сигнала AR. Сигнал AR формируется контроллером на все ("свой" и "чужие") адреса на системной магистрали. При этом при распознавании "своего" адреса (адреса всех внутренних регистров и адреса оперативной памяти), на AR формируется активный уровень сразу же после приема сигнала SYNC, а в случае приема "чужого" адреса, активный уровень на AR формируется с задержкой на один период частоты системной магистрали.

4.5 Универсальный 8-ми разрядный порт ввода-вывода и контроллер прерываний на две линии

8-ми разрядный порт и контроллер прерываний представляют собой единый блок интерфейса с внешними источниками/приемниками данных. Для управления данным блоком используются 4 внутренних регистра.

Адреса регистров управления 8-ми разрядным портом ввода-вывода приведены в таблице 7.

Назначение разрядов регистра состояния приведено в таблице 8.

Таблица 7 – Адреса регистров управления 8-ми разрядным портом ввода-вывода

177060	Регистр состояния
177062	Регистр принимаемых данных
177064	Регистр типа вывода
177066	Регистр передаваемых данных.

					ИРВЖ.431262.001-047ГО	Лист
						13
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Таблица 8 - Назначение разрядов регистра состояния

Разряды	Назначение	Установка/сброс, комментарий
6	Разрешение прерывания от второго источника	Устанавливается и сбрасывается программным образом. Сбрасывается по сигналу INIT. После включения питания устанавливается в "0".
7	Запрос прерывания от второго источника	Устанавливается в "1" при формировании перехода из "1" в "0" на выводе FR06. При установленном 6 разряде вызывает формирование запроса прерывания с вектором 304. Сбрасывается в "0" при чтении адрес-вектора и по сигналу INIT. После включения питания устанавливается в "0". Доступен только по чтению.
14	Разрешение прерывания от первого источника	Устанавливается и сбрасывается программным образом. Сбрасывается по сигналу INIT. После включения питания устанавливается в "0".
15	Запрос прерывания от первого источника	Устанавливается в "1" при формировании перехода из "1" в "0" на выводе FR07. При установленном 14 разряде вызывает формирование запроса прерывания с вектором 300. Сбрасывается в "0" при чтении адрес-вектора и по сигналу INIT. После включения питания устанавливается в "0". Доступен только по чтению.

Регистры принимаемых данных типа линии и передаваемых данных являются восьмиразрядными.

В регистре принимаемых данных фиксируются уровни сигналов на линиях FR0-FR7 в момент операции чтения этого регистра. Данный регистр доступен только по чтению.

Регистр типа вывода доступен как по чтению, так и по записи. Каждый бит данного регистра программирует соответствующий внешний вывод для работы либо в качестве источника сигнала (бит должен быть установлен в "1"), либо в качестве приемника сигнала (бит должен быть установлен в "0"). По сигналу INIT все разряды данного регистра устанавливаются в "0".

					ИРВЖ.431262.001-047ТО	Лист
						14
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

В регистр передаваемых данных заносится информация, которая должна появиться на тех внешних выводах FR0-FR7, которые запрограммированы для работы в качестве источников. Данные выставляются на внешние выводы в прямом коде.

4.6 Формирователь ACLO-DCLO

Современные источники питания, как правило, не оборудованы возможностью генерации управляющих сигналов контроля питающего напряжения. С целью упрощения запуска микропроцессорных систем на базе процессора H1806BM2 данный контроллер искусственно формирует данные сигналы при включении питания и при перезапуске системы.

4.7 Контроллер зависания системы Watch Dog (WD)

Для исключения зависания системы вследствие аппаратных или программных сбоев в данном системном контроллере реализован блок контроля зависания системы (Watch Dog). Блок представляет собой 8-ми разрядный двоичный счетчик, на вход которого в фазе нормальной работы (ACLO = "1" DCLO = "1") микропроцессорной системы поступают импульсы частотой 100 Гц, регистр контроля с адресом 177520 и 3-х разрядный блок подсчета моментов активизации WD, формирующий внешний сигнал ALARM. Таким образом, если система не предпринимает специальных действий, WD будет активизироваться каждые 2.56 с, а после 8-ми активизаций на внешнем выводе ALARM сформируется сигнал тревоги в виде логической "1". Каждая активизация WD сопровождается сначала снятием сигналов ACLO-DCLO, а затем их восстановлением. Таким образом, система автоматически перезапускается. Чтобы этого не происходило, программа должна с периодичностью менее 2.56 с. производить операцию записи "1" в нулевой разряд регистра 177520. В этом случае происходит обнуление текущего состояния счетчика WD.

					ИРВЖ.431262.001-047ГО		Лист
							15
Изм.	Лист	№ докум.	Подп.	Дата			
Инв. № подл.	Подп. и дата		Взам. Инв. №	Инв. № дубл.	Подп. и дата		

Чтобы программно проконтролировать состояние сигнала ALARM, необходимо прочитать первый разряд регистра 177520. Запись в этот разряд "1" приводит к сбросу текущего состояния ALARM. При включении питания ALARM устанавливается в "0", сигнал INIT никакого действия ни на счетчик WD, ни на сигнал ALARM не оказывает.

В данном контроллере не предусмотрены средства программного отключения WD, но для целей отладки можно заблокировать его работу подачей "0" на внешний вывод WD_EN.

4.8 Общесистемный регистр управления БИС (177520)

Регистр 177520 является общесистемным 8-ми разрядным регистром. Назначение части разрядов этого регистра уже было описано ранее. Так:

Разряд 00 – сброс WD

Разряд 01 – сброс/индикация наличия сигнала ALARM

Разряд 02 – управление переходом в режим активного контроллера на Q-BUS

Разряд 03 – используется для технологических целей, должен всегда оставаться в 0.

Разряд 06 – разрешение прерывания от системного таймера.

Остальные разряды 04-05, 07 могут быть использованы по усмотрению конструктора микропроцессорной системы. Эти разряды доступны и по чтению, и по записи, информация в них сохраняется при перезапусках системы, сигнал INIT также не оказывает воздействия. При включении питания в данные разряды заносится случайная информация.

4.9 Регистр начального пуска

При выполнении на магистрали процедуры безадресного чтения контроллер выставляет на внешней шине адреса-данных (AD0-AD15) содержимое регистра начального пуска. Само значение регистра зависит от величин сигналов на внешних выводах RP8,RP45 в соответствии с таблицей 9.

					ИРВЖ.431262.001-047ГО	Лист
						16
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата		Взам. Инв. №	Инв. № дубл.	Подп. и дата	

Таблица 9 – Программирование адреса начального пуска

RP45	RP8	Адрес начального пуска
0	0	000000
0	1	000400
1	0	140000
1	1	140400

4.10 Кварцевый генератор

Для получения кварцевого генератора следует подключить внешний кварц 10МГц к выводам контроллера QE1 и QE2. Параллельно кварцевому резонатору подключается внешний резистор номиналом 300КОм, а между выводом QE1 и "общий" керамический конденсатор 5 пФ. Генератор используется для формирования внешней системной частоты 5 МГц (вывод CLCE), вспомогательной частоты 1 МГц (вывод E1), частоты 100 Гц на выводе H100HZ и внутренней сетки частот интерфейса RS232.

5 Система приоритетов внутренних источников прерываний

В контроллере принята следующая система приоритетов внутренних источников прерываний. Далее источники перечисляются в порядке убывания приоритета.:

- запрос прерывания по входу FR06;
- запрос прерывания по входу FR07;
- запрос прерывания от приемника RS232;
- запрос прерывания от передатчика RS232;
- запрос прерывания от системного таймера.

6 Технические данные

					ИРВЖ.431262.001-047ТО	Лист
						17
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

6.1 Электрические схемы входных и выходных элементов микросхемы приведены на рисунках 3...13. Номер рисунка соответствует номеру буфера из таблицы 1.

6.2 Напряжение питания +5 В ±10% .

6.3 Ток потребления, не более 2,5 мА.

6.4 Выходной ток низкого уровня

(при $U_{пит}=5.5$ В; $U_{вых}= 0.4$ В; t от минус 60 до плюс 125 °С), не менее 2 мА.

6.5 Выходной ток высокого уровня

(при $U_{пит}= 4.5$ В; $U_{вых}= 4.1$ В; t от минус 60 до плюс 125 °С), не менее -0,8 мА.

6.6 Ток потребления, не более:

- статический 2,5 мА;

- статический с включенным генератором (10МГц) 6,0 мА;

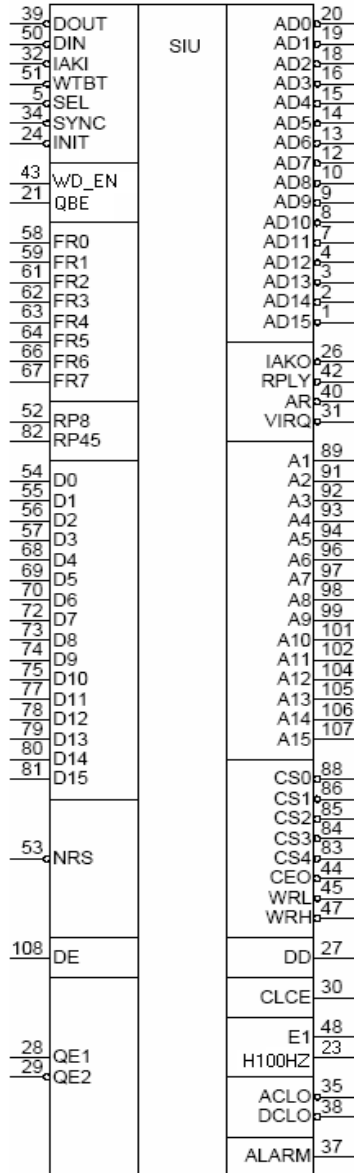
- динамический (+Н1806ВМ2+2*537РУ16+2*1626РФ2) 15,0 мА.

6.7 Емкость нагрузки:

- предельно допустимая 100 пФ;

- предельная 150 пФ.

					ИРВЖ.431262.001-047ГО	Лист
						18
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		



1582ВЖ3-0266

Рисунок 1 - Условное графическое обозначение микросхемы

					ИРВЖ.431262.001-047ГО	Лист
						19
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

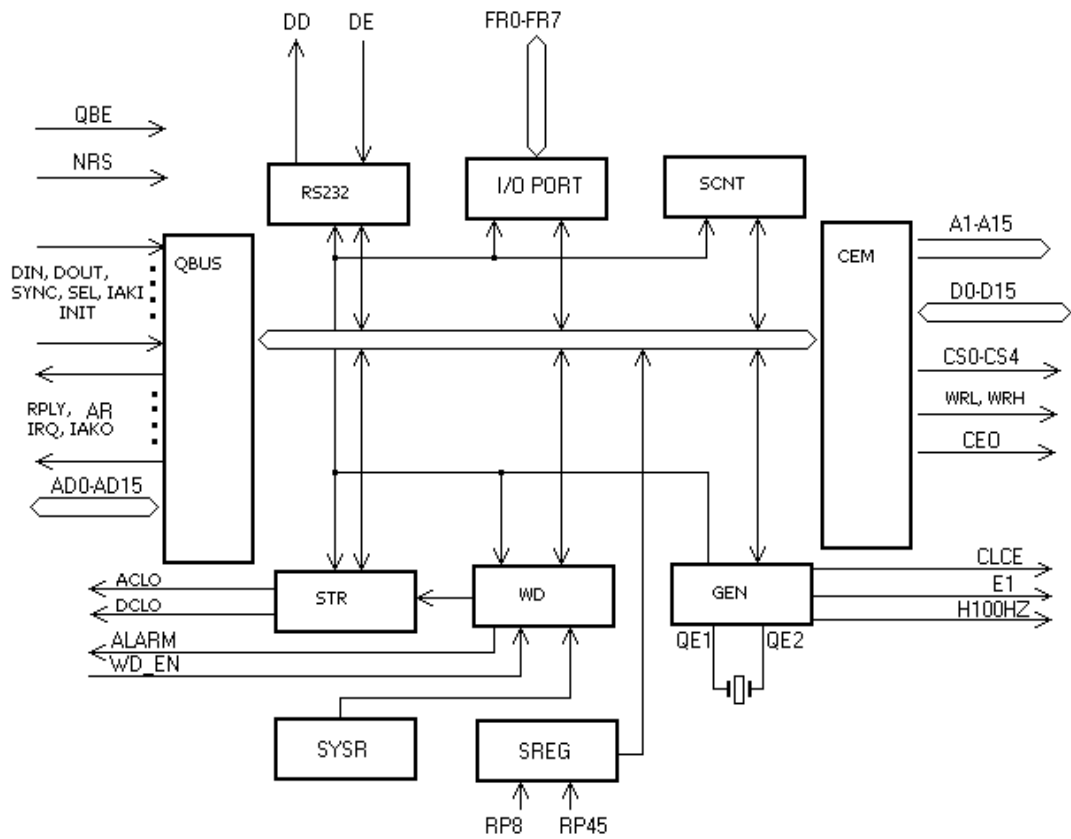


Рисунок 2 - Структурная схема микросхемы

					ИРВЖ.431262.001-047ГО	Лист
						20
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

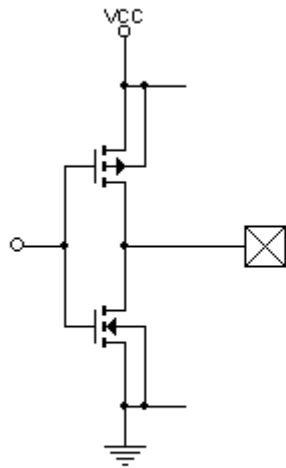


Рис 3.

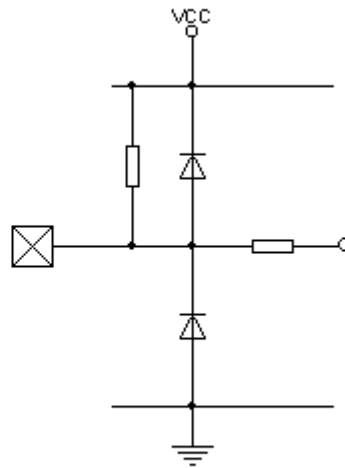


Рис 4.

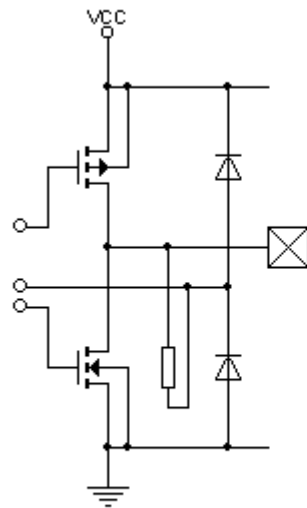


Рис 5.

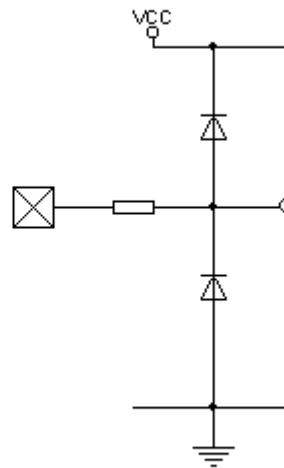


Рис 6.

					ИРВЖ.431262.001-047ГО	Лист
						21
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

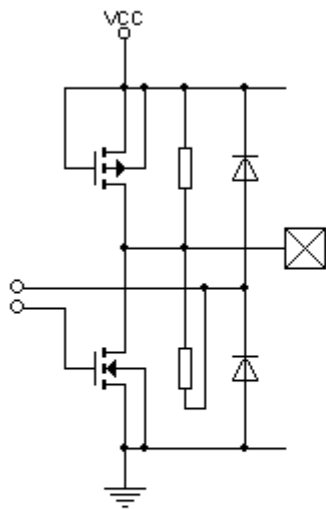


Рис 7.

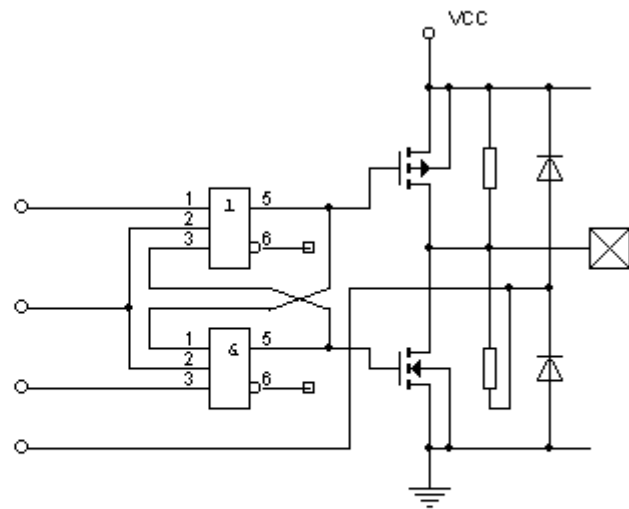


Рис 8.

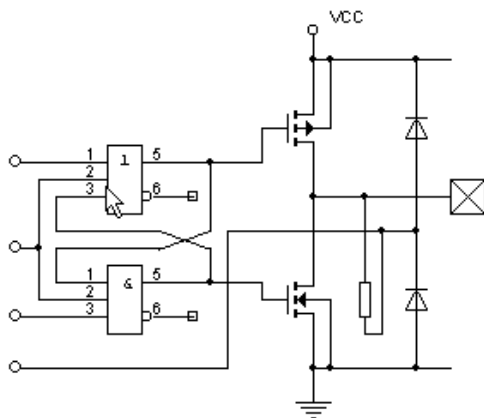


Рис 9.

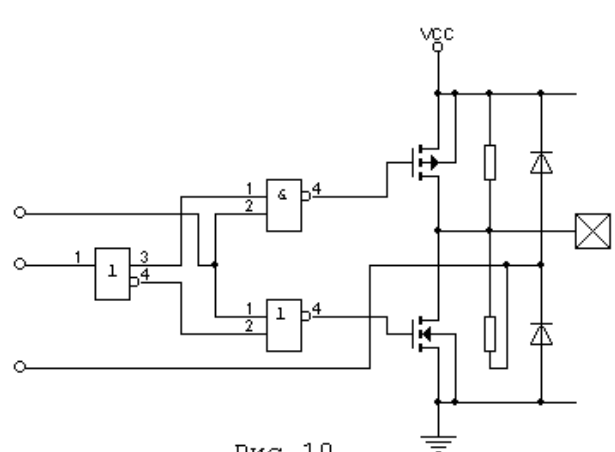


Рис 10.

					ИРВЖ.431262.001-047ГО	Лист
						22
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

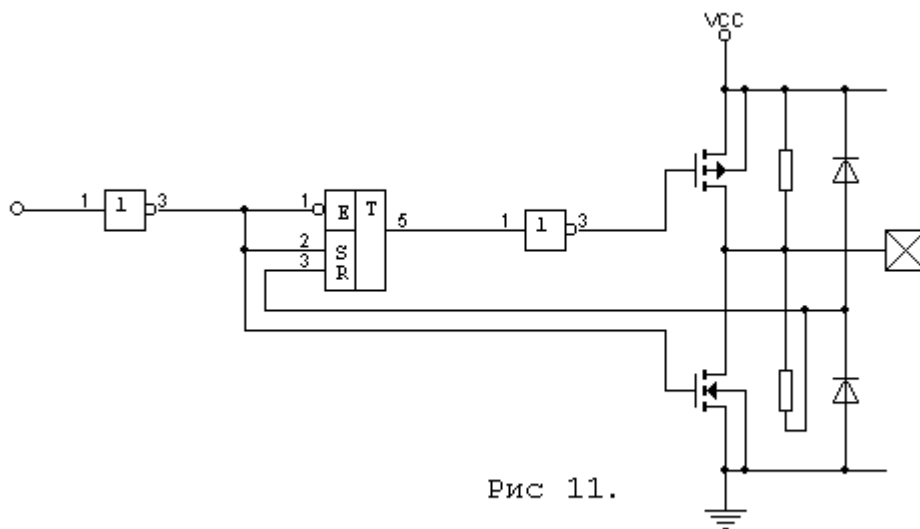


Рис 11.

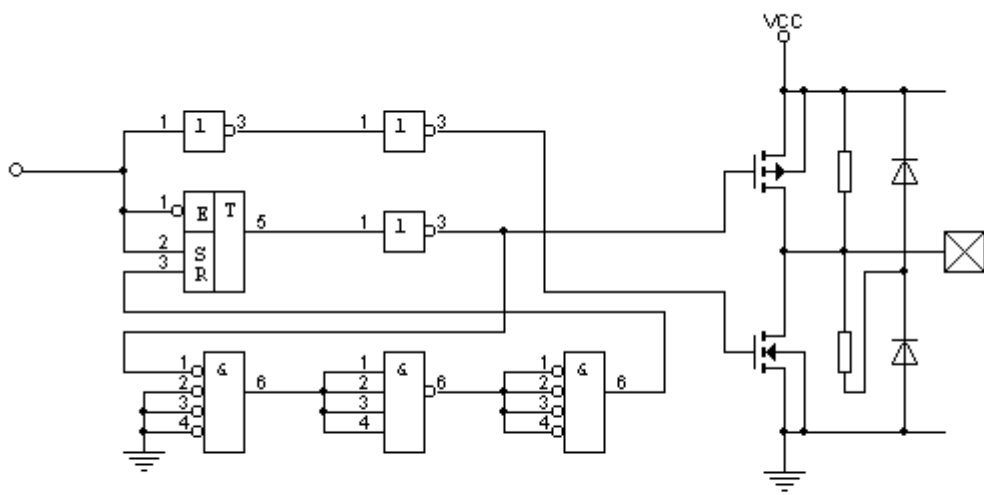


Рис 12.

					ИРВЖ.431262.001-047ГО		Лист
							23
Изм.	Лист	№ докум.	Подп.	Дата			
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата			

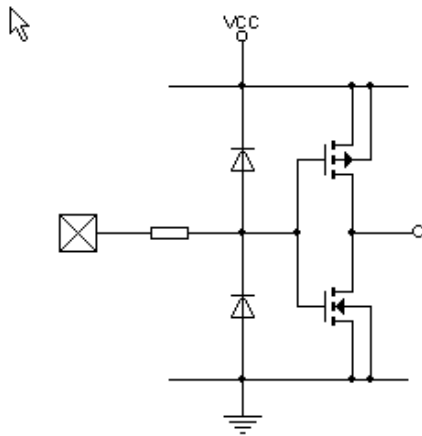


Рис 13.

					ИРВЖ.431262.001-047ГО	Лист
						24
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

7 Указания по применению и эксплуатации

7.1 Указания и рекомендации по эксплуатации в соответствии с ОСТ В 11 0998-99.

7.2 При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы. Допустимое значение статического потенциала 600 В по ОСТ 11 073.062-84.

7.3 Режим и условия монтажа микросхем в аппаратуре - по ОСТ 11 В 073.063-84.

7.4 Рекомендуется начинать пайку с выводов питания. Пайку остальных выводов разрешается производить в любой последовательности. Все неиспользуемые входы микросхемы должны соединяться с шиной “питание” или “общий” в зависимости от выполняемой логической функции.

7.5 При ремонте аппаратуры и измерении параметров микросхемы в контактирующих устройствах, замену микросхемы необходимо производить только при отключенных источниках питания.

					ИРВЖ.431262.001-047ТО	Лист
						25
Изм.	Лист	№ докум.	Подп.	Дата		
Инв. № подл.	Подп. и дата	Взам. Инв. №	Инв. № дубл.	Подп. и дата		

