



МИКРОСХЕМА
ШЕСТНАДЦАТИРАЗРЯДНЫЙ ПРЕОБРАЗОВАТЕЛЬ SL – SPI
[ОПЫТНАЯ]

Н1582ВЖ1-0053

Краткое описание

Оглавление

1	Общие положения	3
1.1	Описание работы.....	3
1.2	Описание SL – канала.....	3
1.3	Описание кодирования SPI	4
2	Основные параметры	5
2.1	Таблица назначения выводов.....	5
2.2	Конструктивное исполнение.....	6
3	Указания по применению и эксплуатации.....	7
3.1	Типовая схема включения.....	7
3.2	Каскадированная схема включения	8
4	Справочная информация.....	9
4.1	Условное графическое обозначение	9

1 ОБЩИЕ ПОЛОЖЕНИЯ

1.1 Описание работы

Микросхема интегральная H1582ВЖ1-0053(далее – микросхема) предназначена для использования в системах сбора информации. Микросхема обеспечивает прием данных с SL – канала и перекодирует их в формате SPI. Допускается работа со словами размерностью не более 16 информационных разрядов. В случае работы со словами размерностью менее 16 информационных разрядов, незначащие разряды посылки в SPI кодере будут выставлены в соответствии со значением на входе MOSI. Посылка SPI имеет постоянную длину в 16 разрядов и выдается младшим значащим разрядом вперед, при этом данные выравниваются по старшему значащему разряду. Микросхема имеет вход выключения контроля четности посылок по SL – каналу, выход наличия ошибок в четности принятого по SL – каналу слова, а также выход готовности микросхемы к выдаче слова по SPI. Если передача информации по SPI не осуществляется, то информационный выход шины SPI переключается в «Z» – состояние.

1.2 Описание SL – канала

Данный последовательный канал разработан для внутрислатного и межслатного (в одном блоке) обмена информацией. Канал состоит из двух линий – линии «0» и линии «1». Информация передается последовательно в виде отрицательного импульса на одной из линий. В случае передачи единицы импульс должен быть сформирован на линии «1», в случае передачи нуля – на линии «0». Передача идет в одну сторону от передатчика к приёмнику. Информация передается словами любой разрядности младшими разрядами вперед. Предпоследний разряд – контроль по четности. Четность вычисляется независимо по обоим каналам. Так в случае обмена 16-ти битными словами в передаче без ошибок количество импульсов с начала передачи и до синхроимпульса в канале «0» должно быть четно, а в канале «1» нечетно. Любая другая ситуация рассматривается как передача с ошибкой. Последний – синхроимпульс, представляющий собой одновременное появление импульсов на обеих линиях. Синхроимпульс означает, что передача слова закончена. Пример диаграммы сигналов в канале представлен на рисунке 1.

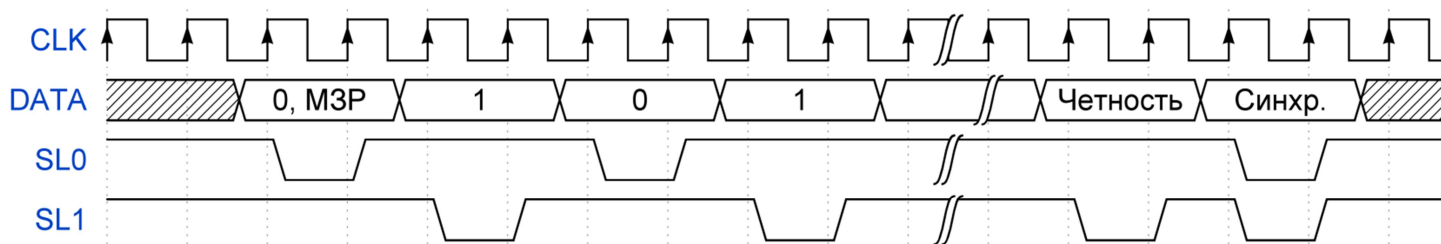


Рисунок 1. Временная диаграмма передачи данных по SL-каналу.

Временные параметры диаграммы могут быть любыми, для работоспособности канала это не имеет значения и не контролируется приёмником. Единственное ограничение – не допускается временное перекрытие импульсов в информационной части передачи.

1.3 Описание кодирования SPI

Передача информации по протоколу SPI осуществляется по 3 или 4 линиям.

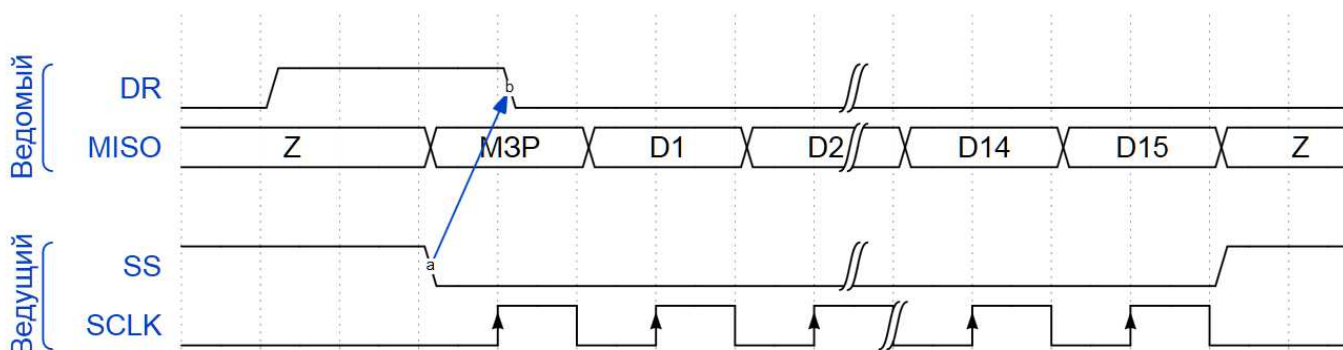


Рисунок 2. Временная диаграмма передачи данных по SPI.

Выход DR осуществляет индикацию готовности слова к выдаче. Для получения слова необходимо перевести линию SS(SlaveSelect) в низкий уровень, а на линию SCLK подать тактовые импульсы в таком количестве, сколько разрядов данных необходимо получить. При этом на линию MISO по спаду SCLK будут выдаваться разряды посылки, а по фронту SCLK их можно защелкивать на ведущем. Для большинства микроконтроллеров подойдет режим шины SPI, заданный следующими значениями: CPHA = 0, CPOL = 0. Пока линия SS находится в неактивном(HIGH) состоянии, выход MISO находится в высокоомном(Z) состоянии. Если на момент получения синхроимпульса входящей посылки по SL каналу линия SS находится в активном состоянии(низкий уровень), то вся входящая посылка будет проигнорирована. Также перевод линии SS в активное состояние сбрасывает выход DR.

2 ОСНОВНЫЕ ПАРАМЕТРЫ

2.1 Таблица назначения выводов

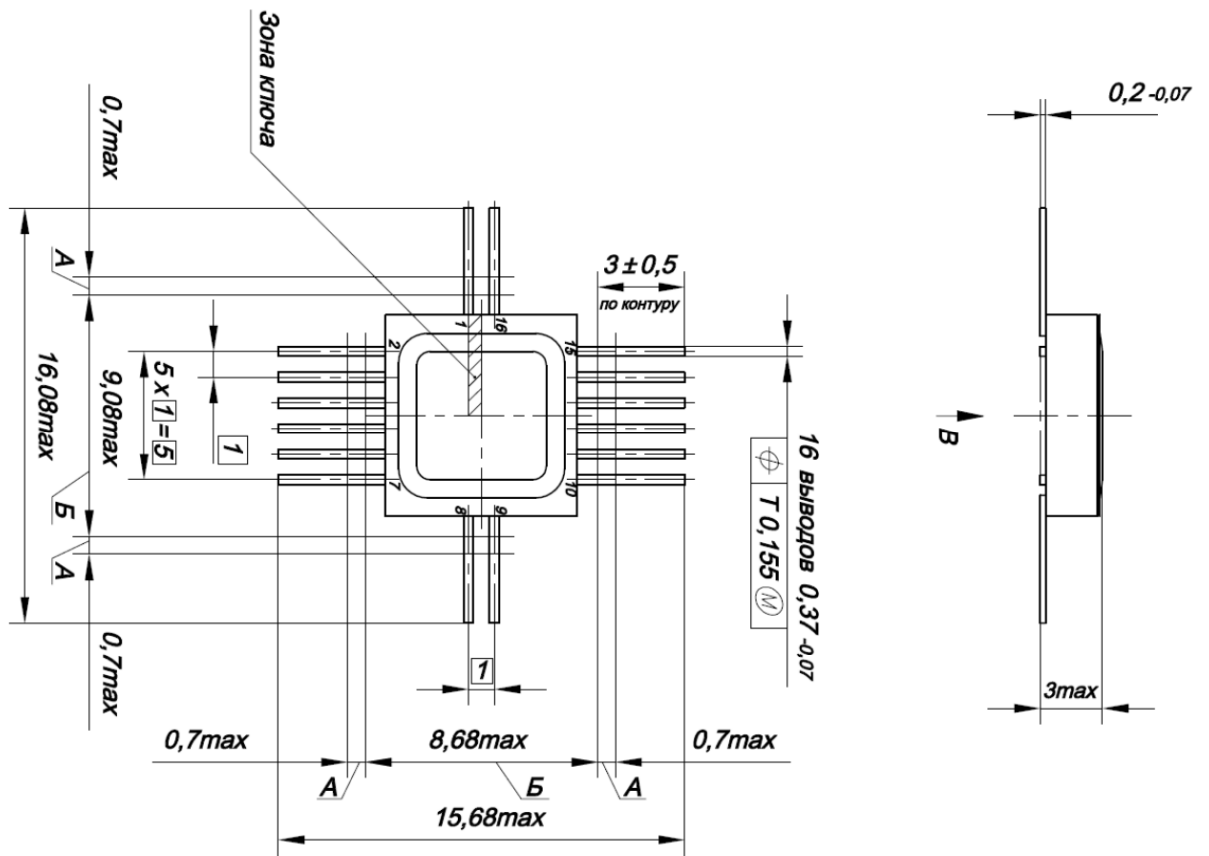
№№ КП	Имя вывода	Тип вывода	Назначение вывода
1	--	--	Не подключен
2	D0	вход	Вход линии данных нулей SL
3	D1	вход	Вход линии данных единиц SL
4	PC	вход	Вход разрешения контроля четности SL
5	RS	вход	Вход общего сброса
6	SCLK	вход	Вход тактовых импульсов от ведущего SPI
7	SS	вход	Вход выбора ведомого SPI
8	--	--	Не подключен
9	--	--	Не подключен
10	GND	питание	Общая шина, 0В
11	MISO	выход	Линия данных SPI
12	DR	выход	Выход готовности данных к чтению
13	MOSI	вход	Вход данных, заполняющих сдвиговый регистр SPI
14	PE	выход	Выход наличия ошибки данных SL
15	VDD	питание	Питание, 5В
16	--	--	Не подключен

Для входа SS активный уровень – «логический ноль» – 0В.

Выводы 1, 8, 9, 16 корпуса Н04.16-1В могут быть обрезаны для увеличения плотности компоновки элементов на плате.

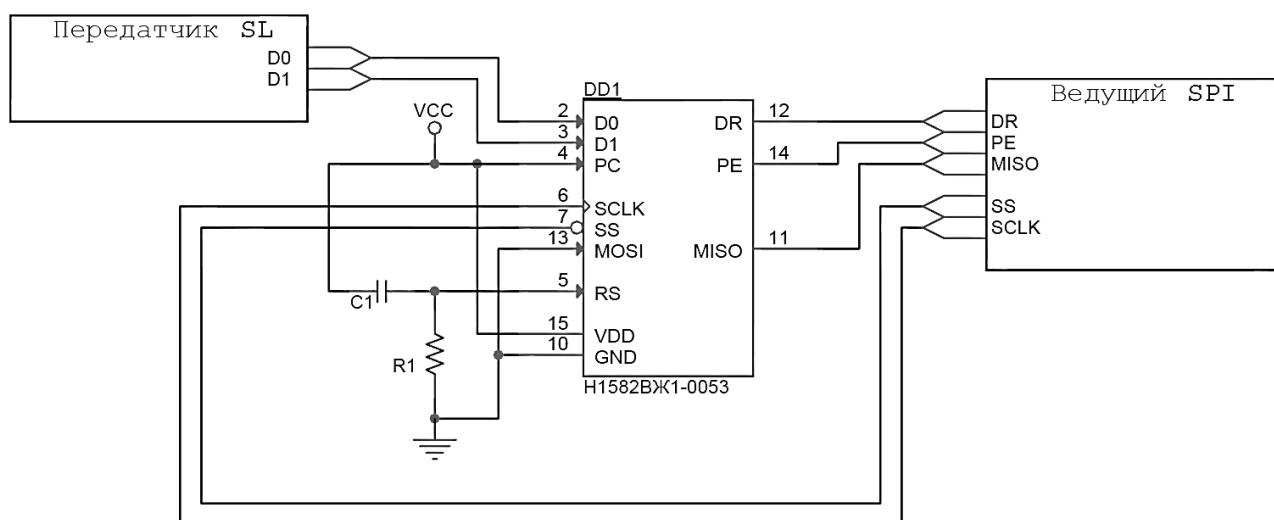
2.2 Конструктивное исполнение

Микросхема выполнена в корпусе Н04.16-1В.



3 УКАЗАНИЯ ПО ПРИМЕНЕНИЮ И ЭКСПЛУАТАЦИИ

3.1 Типовая схема включения



C1, R1 – RC цепь для начального сброса;

DD1 – микросхема;

Рисунок 3. Стандартная схема включения микросхемы H1582BЖ1-0053.

Возможны следующие отклонения от приведенной схемы включения:

1. Отключить контроль четности.
2. Отказаться от контроля информации на выходах DR и PE микросхемы, что потребует действий по синхронизации посылок SL – канала и запроса информации SPI.
3. Отказаться от использования сбрасывающей RC – цепи на входе RS и подать туда «0», однако это приведет к непредсказуемой работе микросхемы во время приема первого слова по SL – каналу.

Важно! При работе со словами SL размерностью менее 16 информационных разрядов, но словами SPI по 16 разрядов, младшие разряды посылки SPI будут иметь значения старших разрядов предыдущего корректно принятого микросхемой SL – слова.

3.2 Каскадированная схема включения

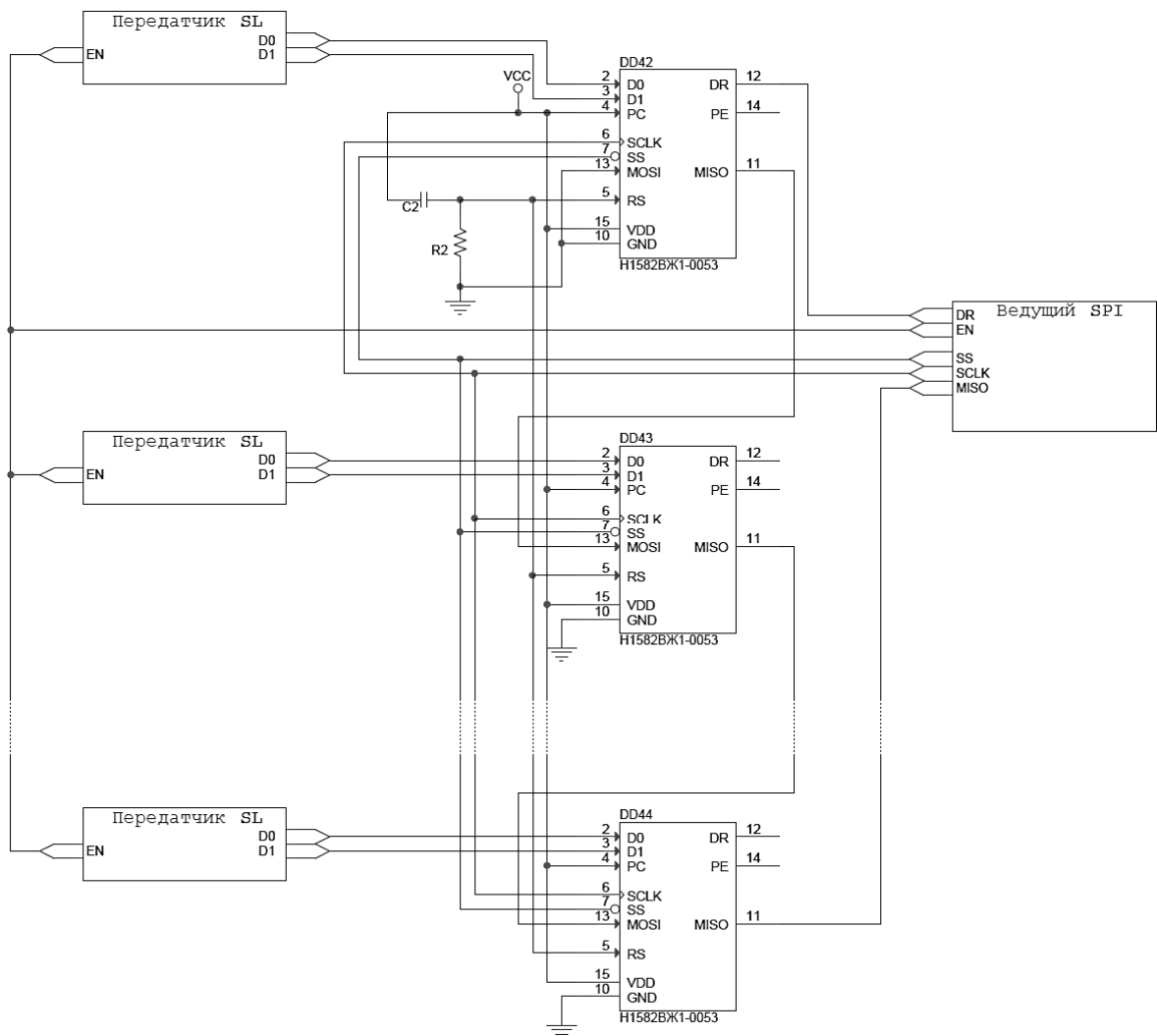


Рисунок 4. Каскадированная схема включения микросхемы H1582BЖ1-0053.

В случае наличия нескольких одинаковых передатчиков, использующих SL – канал, можно включить микросхемы преобразователя H1582BЖ1-0053 каскадом. В таком включении ведущий SPI должен синхронизировать работу передатчиков, используя разрешающий вход EN. Затем по фронту сигнала DR с любого из преобразователей можно начинать прием слов SPI. При этом общая разрядность слов SPI должна быть равна $N = 16 * n$, где n – количество пар передатчик – преобразователь. Не допустить перезаписи регистра SPI одного из преобразователей во время приема нескольких SPI слов подряд можно двумя способами:

1. Установить линию SS в «0» на время приема слов SPI.
2. Получать данные SPI на такой частоте, чтобы время получения всех слов, хранящихся в каскадированных преобразователях, было меньше, чем период выдачи SL слов передатчиками.

4 СПРАВОЧНАЯ ИНФОРМАЦИЯ

4.1 Условное графическое обозначение

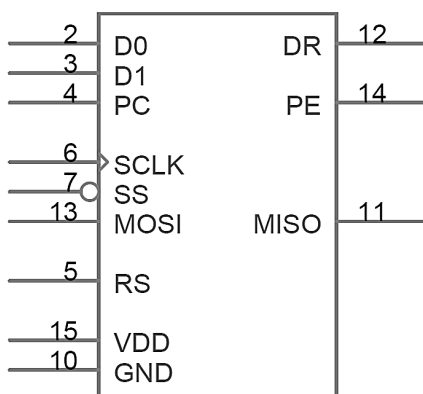


Рисунок 5. Условное графическое обозначение микросхемы N1582BЖ1-0053.