

УТВЕРЖДАЮ

Заместитель генерального директора
ОАО НПО “Физика” по научной работе

И.М.Гуляев

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1582ВЖ3-0254

Техническое описание

ИРВЖ.431262.001-045ТО

Главный конструктор

А.В.Розе

2003

Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата

СОДЕРЖАНИЕ

1. Наименование	2
2. Назначение микросхемы	2
3. Устройство и работа	2
3.3. Технические данные	4
3.4. Назначение выводов микросхемы	4
3.7. Структурная схема микросхемы	13
3.8. Последовательный асинхронный интерфейс (RS232)	13
3.9. Программируемый 16-ти разрядный таймер (аналог – KWV11A)	17
3.10. Системный таймер (SCNT)	22
3.11. Контроллер ОЗУ/ПЗУ (СЕМ)	25
3.12. Контроллер системной магистрали	29
3.13. Регистры внутреннего управления	30
4. Указания по применению и эксплуатации	33

					ИРВЖ.431262.001-045ТО				
Изм.	Лист	№ докум.	Подп.	Дата	Микросхема интегральная 1582ВЖ3-0254 Техническое описание	Лит.	Лист	Листов	
Разраб.		Алферова					2	35	
Пров.		Власов							
Нач. отд.		Шиканян							
Н. Контр.		Сергеева							
Утв.		-							
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата					

1. НАИМЕНОВАНИЕ

Системный контроллер для микропроцессорного комплекта 1836ВМ3/ВМ4.

2. НАЗНАЧЕНИЕ МИКРОСХЕМЫ

Микросхема интегральная 1582ВЖ3-0254 (далее - микросхема) является основной БИС набора, позволяющего реализовать управляющую микро-ЭВМ средней производительности. Микросхема предназначена для использования в качестве контроллера статического ОЗУ и ПЗУ, а также для обеспечения минимально необходимых интерфейсов в системах реального времени.

Микросхема выполнена по КМОП-технологии. Кристалл, содержащий 3123 базовых ячеек, имеет заполнение 58% .

Корпус микросхемы 4226.108-2 УФ0.487.070ТУ.

3. УСТРОЙСТВО И РАБОТА

3.1. Условное графическое обозначение микросхемы приведено на рис. 1.

3.2. Микросхема включает в себя следующие основные блоки:

контроллер ОЗУ/ПЗУ;

системный программируемый таймер;

контроллер системной шины Q22-Bus;

16-ти разрядный программируемый таймер;

последовательный канал RS-232 с фиксированной частотой передачи ;

кварцевый генератор (кварц снаружи) с программированием системной частоты;

блок контроля зависания системы "Watch Dog" и управления синхронизацией передачи данных.

Контроллер ОЗУ/ПЗУ обеспечивает подключение БИС различных типов памяти: статического ОЗУ, ПЗУ, флэш-памяти.

Общий объем адресуемой памяти составляет 4 Мб. Все адресное пространство делится на четыре банка по 1 Мб. Первый банк предназначен для установки БИС ПЗУ,

					ИРВЖ.431262.001-045ТО		Лист
							3
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

второй – БИС ОЗУ, третий и четвертый банки – для размещения любых типов памяти в произвольной комбинации.

Взаимодействие с процессором осуществляется через стандартный интерфейс Q22-Bus.

16-ти разрядный программируемый таймер является аналогом таймера KWV11A. Тактовая частота - от 100 Гц до 1 МГц - выбирается программно. 4 режима счета, 2 внешних входа, 2 вектора прерывания.

Последовательный канал является упрощенным интерфейсом RS232 и обеспечивает работу с единственной скоростью передачи 9600 бод. Формат данных - 8 бит, 1 стоп-бит, без паритета. Адреса и вектора всех блоков фиксированы.

Контроллер обеспечивает программное управление системной частотой. В комбинации с частотой кварцевого резонатора позволяет получить следующие сетки частот: 24, 12, 6, 4 МГц при использовании кварцевого резонатора 24 МГц и 16, 8, 4, 2,5 МГц при использовании кварцевого резонатора 16 МГц. Данное свойство может быть использовано при построении отказоустойчивых систем с динамическим изменением системной частоты.

3.3. Технические данные

3.3.1. Напряжение питания +5 В±10 %.

3.3.2. Ток потребления, не более 2,5 мА.

3.3.3. Выходной ток низкого уровня при $U_{пит} = 5.5 В$;
 $U_{вых} = 0.4 В$, не менее (при t от минус 60 до плюс 125 °С) 2 мА.

3.3.4. Выходной ток высокого уровня при $U_{пит} = 4.5 В$;
 $U_{вых} = 4.1 В$, не менее (при t от минус 60 до плюс 125 °С) -0,8 мА.

3.3.5. Ток потребления, не более:
 статический 2,5 мА;

3.3.6. Емкость нагрузки:
 предельно допустимая 100 пФ;
 предельная 150 пФ.

3.3.7. Частота используемых кварцев 16 или 24 МГц.

					ИРВЖ.431262.001-045ТО		Лист
							4
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

3.4. Назначение выводов микросхемы

3.4.1. Нумерация, обозначение и наименование выводов микросхемы приведены в табл. 1.

3.4.2. Описание выводов микросхемы:

RA1-RA19 - предназначены для передачи адреса на БИС ЗУ;

RD0-RD15 - предназначены для записи или считывания данных из БИС ЗУ;

CS1-CS4 – выходные сигналы выбора банка памяти. Низкий уровень на данном выводе разрешает операции записи/чтения в выбранном банке памяти.

OE – сигнал разрешения чтения из ЗУ. Низкий уровень на данном выходе разрешает включение выходных буферов микросхем памяти.

WRH, WRL – сигналы стробирования записи в ОЗУ. Низкий уровень сигнала на данных выводах означает готовность данных старшего и/или младшего байта данных для записи в ЗУ соответственно.

SYSG – выход сигнала системной частоты. Значение частоты может быть изменено программно.

F1MH – выход сигнала частотой 1 МГц.

RPLY- ответ пассивного устройства. Активным значением является низкий уровень на данном выводе. Сигнал устанавливается контроллером при обращении по любому адресу адресного пространства ЗУ и при обращении по адресам внутренних регистров ввода-вывода устройств контроллера. RPLY может быть выставлен сразу же после получения сигналов DIN или DOUT в активной фазе или с задержкой на 0.5 или 1.0 периодов системной частоты. Режим работы может быть изменен программно.

SSYNC- подтверждение пассивного устройства о приеме адреса. Активным значением является низкий уровень на данном выводе. Сигнал выставляется по приему магистрального сигнала SYNC и снимается при приеме сигнала DIN или DOUT.

HALT – выходной сигнал требования перехода процессора в HALT моду. Активным уровнем является низкий. Данный сигнал устанавливается либо подачей низкого уровня на вход RQH контроллера, либо записью "1" во внутренний регистр управления. Снимается сразу же после исчезновения причин его вызвавших.

IRQ – сигнал запроса прерывания. Активный уровень – низкий. Устанавливается при наличии хотя бы одного незамаскированного запроса.

					ИРВЖ.431262.001-045ТО		Лист
							5
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

IAKO – выходной сигнал разрешения прерывания. Активный уровень низкий. Устанавливается при наличии низкого уровня на входе IAКI при отсутствии незамаскированных запросов на прерывание от внутренних устройств контроллера.

DCLO, ACLO – активный уровень высокий. Данные сигналы являются функциональными аналогами аналогичных сигналов процессора 1836 ВМ3. Сигналы не связаны с реальным состоянием источника питания. Контроллер генерирует правильную последовательность этих сигналов с целью начальной инициализации работы центрального процессора.

SDOUT – выход передатчика последовательного канала.

QB0-QB15 – сигналы адреса/данных системной магистрали Q22-BUS. Активный уровень – низкий.

QB16-QB21 – сигналы 6 старших разрядов адреса магистрали Q22-BUS. Активный уровень – низкий.

DIN – сигнал системной магистрали "Ввод данных". Активный уровень – низкий.

DOUT - сигнал системной магистрали "Вывод данных". Активный уровень – низкий.

WTBT – сигнал системной магистрали "Запись/байт". Активный уровень – низкий.

SYNC – сигнал системной магистрали "Синхронизация обмена". Активный уровень – низкий.

BS – сигнал системной магистрали "Обращение к внешним устройствам". Активный уровень – низкий.

SEL – сигнал системной магистрали "Выборка при HALT моде". Активный уровень – низкий.

IAKI – входной сигнал разрешения прерывания. Активный уровень – низкий.

RQH - входной сигнал запроса перехода в HALT моду. Активный уровень – низкий.

IST1 - тактовый или аperiодический сигнал, поступающий на 16-разрядный программируемый таймер (в тех случаях, когда данный сигнал не используется, на внешний вывод IST1 подается высокий уровень сигнала).

					ИРВЖ.431262.001-045ТО		Лист
							6
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

IST2 - апериодический сигнал, поступающий на 16-разрядный программируемый таймер (в тех случаях, когда данный сигнал не используется, на внешний вывод IST2 подается высокий уровень сигнала).

SDIN – вход приемника последовательного канала.

GI, GO – входы подключения кварцевого резонатора.

CSR – вход тактовой частоты системного таймера.

INIT – сигнал системной магистрали "Начальная установка".

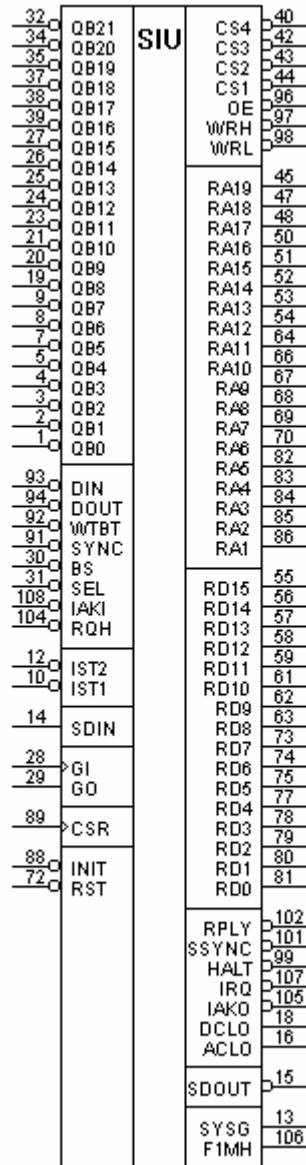
RST - сигнал начальной установки контроллера. Активный уровень – низкий.

3.5. Условное графическое обозначение приведено на рис. 1.

3.6. Электрические схемы входных и выходных элементов микросхемы приведены на рис. 2-6. Номер рисунка соответствует номеру буфера из табл. 1.

					ИРВЖ.431262.001-045ТО		Лист
							7
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Условное графическое обозначение микросхемы



1582BЖ3-0254

Рис. 1

					ИРВЖ.431262.001-045ТО		Лист
							8
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Таблица 1

Номер вывода	Тип буфера	Обозначение вывода	Наименование вывода
1	5	QB0	Вход/выход 0 разряда магистрала адреса-данных Q22-BUS
2	5	QB1	Вход/выход 1 разряда магистрала адреса-данных Q22-BUS
3	5	QB2	Вход/выход 2 разряда магистрала адреса-данных Q22-BUS
4	5	QB3	Вход/выход 3 разряда магистрала адреса-данных Q22-BUS
5	5	QB4	Вход/выход 4 разряда магистрала адреса-данных Q22-BUS
6		GND	Общий
7	5	QB5	Вход/выход 5 разряда магистрала адреса-данных Q22-BUS
8	5	QB6	Вход/выход 6 разряда магистрала адреса-данных Q22-BUS
9	5	QB7	Вход/выход 7 разряда магистрала адреса-данных Q22-BUS
10	2	IST1	Вход счетного сигнала таймера
11		VDD	Питание
12	2	IST2	Вход аperiодического сигнала таймера
13	4	SYSG	Выход системной частоты
14	2	SDIN	Вход приемника RS232
15	4	SDOUT	Выход передатчика RS232
16	4	ACLO	Выход сигнала включения источника питания переменного напряжения
17		VDD	Питание
18	4	DCLO	Выход сигнала включения источника постоянного напряжения
19	5	QB8	Вход/выход 8 разряда магистрала адреса-данных Q22-BUS
20	5	QB9	Вход/выход 9 разряда магистрала адреса-данных Q22-BUS
21	5	QB10	Вход/выход 10 разряда магистрала адреса-данных Q22-BUS
22		GND	Общий
23	5	QB11	Вход/выход 11 разряда магистрала адреса-данных Q22-BUS
24	5	QB12	Вход/выход 12 разряда магистрала адреса-данных Q22-BUS
25	5	QB13	Вход/выход 13 разряда магистрала адреса-данных Q22-BUS

					ИРВЖ.431262.001-045ТО		Лист
							9
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Номер вывода	Тип буфера	Обозначение вывода	Наименование вывода
26	5	QB14	Вход/выход 14 разряда магистрали адреса-данных Q22-BUS
27	5	QB15	Вход/выход 15 разряда магистрали адреса-данных Q22-BUS
28	2	GI	Вход подключения кварца задающего генератора
29	4	GO	Выход подключения кварца задающего генератора
30	2	BS	Вход сигнала обращения к банку внешних устройств
31	2	SEL	Вход сигнала выборки при HALT моде
32	2	QB21	Вход 21 разряда магистрали адреса Q22-BUS
33		GND	Общий
34	2	QB20	Вход 20 разряда магистрали адреса Q22-BUS
35	2	QB19	Вход 19 разряда магистрали адреса Q22-BUS
36		VDD	Питание
37	2	QB18	Вход 18 разряда магистрали адреса Q22-BUS
38	2	QB17	Вход 17 разряда магистрали адреса Q22-BUS
39	2	QB16	Вход 16 разряда магистрали адреса Q22-BUS
40	4	CS4	Выход сигнала выбора 4 банка памяти БИС ЗУ
41		GND	Общий
42	4	CS3	Выход сигнала выбора 3 банка памяти БИС ЗУ
43	4	CS2	Выход сигнала выбора 2 банка памяти БИС ЗУ
44	4	CS1	Выход сигнала выбора 1 банка памяти БИС ЗУ
45	4	RA19	Выход 19 разряда шины адреса ЗУ
46		VDD	Питание
47	4	RA18	Выход 18 разряда шины адреса ЗУ
48	4	RA17	Выход 17 разряда шины адреса ЗУ
49		GND	Общий
50	4	RA16	Выход 16 разряда шины адреса ЗУ
51	4	RA15	Выход 15 разряда шины адреса ЗУ
52	4	RA14	Выход 14 разряда шины адреса ЗУ
53	4	RA13	Выход 13 разряда шины адреса ЗУ
54	4	RA12	Выход 12 разряда шины адреса ЗУ
55	5	RD15	Вход/выход 15 разряда шины данных ЗУ
56	5	RD14	Вход/выход 14 разряда шины данных ЗУ
57	5	RD13	Вход/выход 13 разряда шины данных ЗУ
58	5	RD12	Вход/выход 12 разряда шины данных ЗУ
59	5	RD11	Вход/выход 11 разряда шины данных ЗУ
60		GND	Общий
61	5	RD10	Вход/выход 10 разряда шины данных ЗУ
62	5	RD9	Вход/выход 9 разряда шины данных ЗУ
63	5	RD8	Вход/выход 8 разряда шины данных ЗУ
64	4	RA11	Выход 11 разряда шины адреса ЗУ
65		VDD	Питание
66	4	RA10	Выход 10 разряда шины адреса ЗУ

					ИРВЖ.431262.001-045ТО		Лист
							10
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Номер вывода	Тип буфера	Обозначение вывода	Наименование вывода
67	4	RA9	Выход 9 разряда шины адреса ЗУ
68	4	RA8	Выход 8 разряда шины адреса ЗУ
69	4	RA7	Выход 7 разряда шины адреса ЗУ
70	4	RA6	Выход 6 разряда шины адреса ЗУ
71		VDD	Питание
72	3	RST	Вход сигнала начальной установки
73	5	RD7	Вход/выход 7 разряда шины данных ЗУ
74	5	RD6	Вход/выход 6 разряда шины данных ЗУ
75	5	RD5	Вход/выход 5 разряда шины данных ЗУ
76		GND	Общий
77	5	RD4	Вход/выход 4 разряда шины данных ЗУ
78	5	RD3	Вход/выход 3 разряда шины данных ЗУ
79	5	RD2	Вход/выход 2 разряда шины данных ЗУ
80	5	RD1	Вход/выход 1 разряда шины данных ЗУ
81	5	RD0	Вход/выход 0 разряда шины данных ЗУ
82	4	RA5	Выход 5 разряда шины адреса ЗУ
83	4	RA4	Выход 4 разряда шины адреса ЗУ
84	4	RA3	Выход 3 разряда шины адреса ЗУ
85	4	RA2	Выход 2 разряда шины адреса ЗУ
86	4	RA1	Выход 1 разряда шины адреса ЗУ
87		GND	Общий
88	3	INIT	Вход магистрального сигнала установки
89	2	CSR	Вход тактовой частоты системного таймера
90		VDD	Питание
91	3	SYNC	Вход сигнала синхронизации системной магистрали
92	3	WTBT	Вход сигнала управления запись/байт
93	3	DIN	Вход системного сигнала "Ввод данных"
94	3	DOUT	Вход системного сигнала "Вывод данных"
95		GND	Общий
96	4	OE	Выход сигнала "разрешение по выходу"
97	4	WRH	Выход сигнала "запись старшего байта"
98	4	WRL	Выход сигнала "запись младшего байта"
99	4	HALT	Выход сигнала останова
100		VDD	Питание
101	6	SSYNC	Выход сигнала подтверждения синхронизации системной магистрали
102	6	RPLY	Выход сигнала ответа пассивного устройства
103		GND	Общий
104	3	RQH	Вход сигнала останова
105	4	IAKO	Выход сигнала разрешения прерывания
106	4	F1MH	Выход частоты 1 МГц
107	6	IRQ	Выход сигнала запроса на прерывание
108	2	IAKI	Вход сигнала разрешения прерывания

					ИРВЖ.431262.001-045ТО		Лист
							11
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

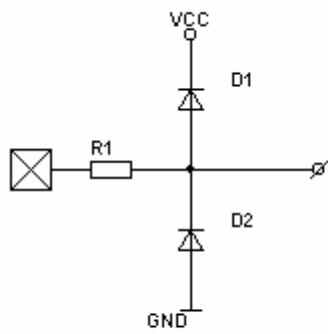


Рис. 2.

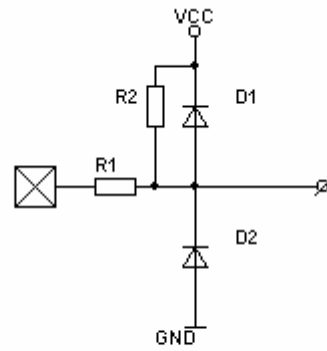


Рис. 3.

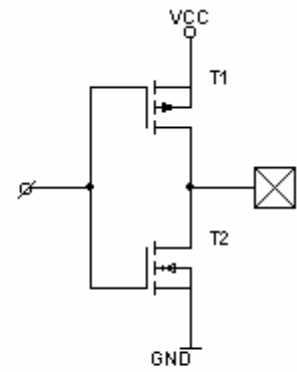


Рис. 4.

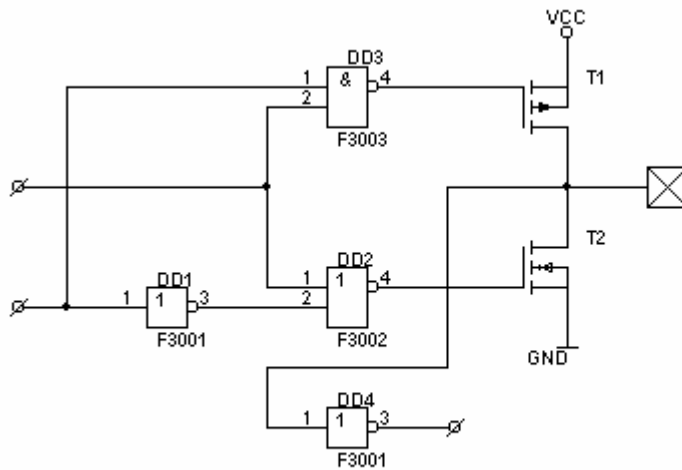


Рис. 5.

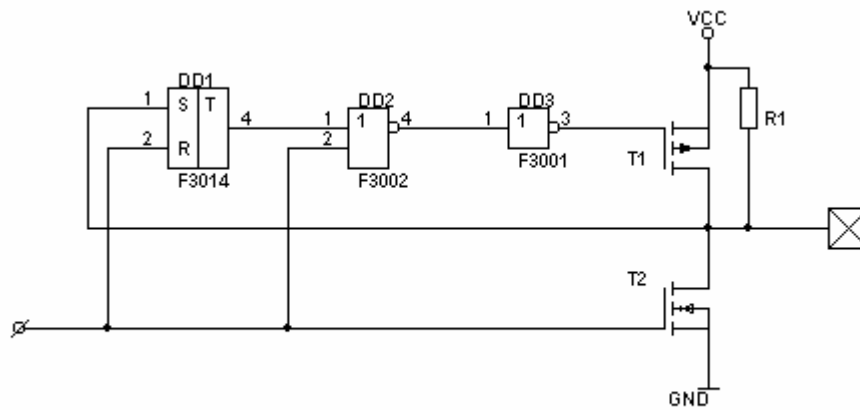


Рис. 6.

					ИРВЖ.431262.001-045ТО		Лист
							12
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

3.7. Структурная схема микросхемы

3.7.1. Общая структурная схема системного контроллера представлена на рис. 7.

3.7.2. Системный контроллер состоит из следующих блоков:

последовательный асинхронный интерфейс (RS232);

16-разрядный программируемый таймер (KWV11A);

5-разрядный системный таймер (SCNT);

контроллер ОЗУ/ПЗУ (СЕМ);

контроллер системной магистрали (QBUS);

программируемый генератор (GEN);

блок начального пуска (STR);

контроллер зависания "Watch Dog" (WD).

3.8. Последовательный асинхронный интерфейс (RS232)

3.8.1. Последовательный асинхронный интерфейс предназначен для осуществления двунаправленного обмена данными с периферийными устройствами, поддерживающими стандарт RS232. В данной микросхеме реализован упрощенный вариант последовательного интерфейса – используется только одна скорость приема/передачи данных 9600 бод.

3.8.2. Управление схемой интерфейса осуществляется при помощи 4 внутренних регистров, доступных со стороны системной шины.

XCSR - регистр состояния передатчика;

XBUF - регистр данных передатчика;

RCSR - регистр состояния приемника;

RBUF - буферный регистр приемника;

					ИРВЖ.431262.001-045ТО		Лист
							13
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

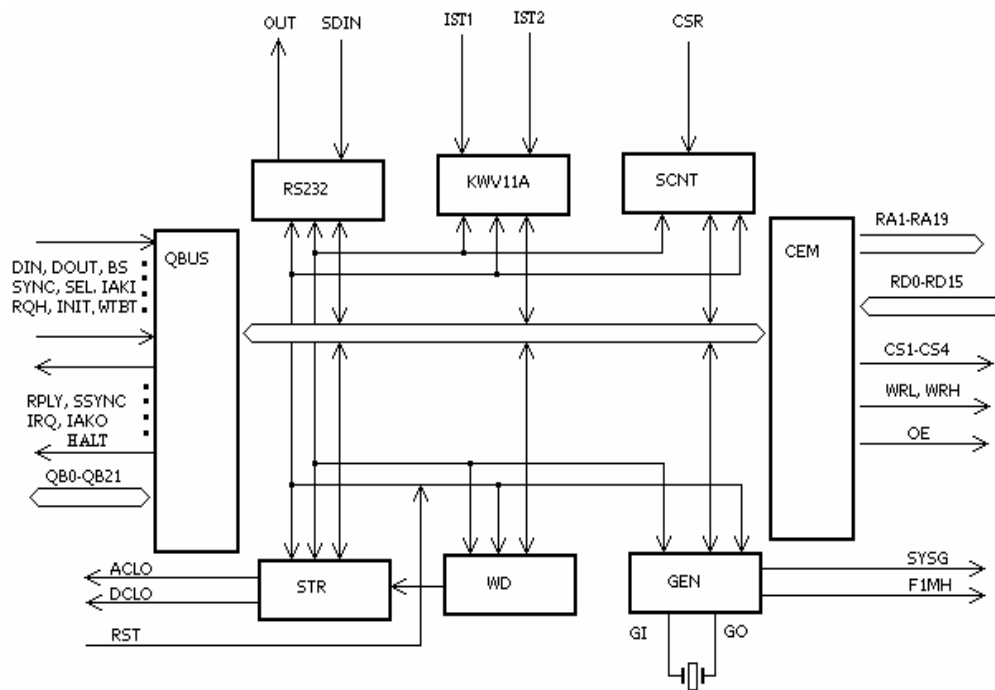


Рис.7. Общая структура БИС.

					ИРВЖ.431262.001-045ТО		Лист
							14
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Таблица 4

Источник прерывания	Адрес вектора прерывания
Данные приняты и записаны в RBUF	60
XBUF пуст	64

3.9. Программируемый 16-ти разрядный таймер (аналог - KWV11A)

3.9.1. Структурная схема таймера изображена на рис. 8.

3.9.2. В состав схемы входят:

CNT - 16-ти разрядный счетчик (содержимое счетчика может быть прочитано только через буферный регистр BPR);

RATEC - схема, которая вырабатывает тактовые импульсы (f), поступающие на 16-ти разрядный счетчик. Частота этих импульсов зависит от выбранного режима работы (биты 5-3 в CSR);

UU - схема, которая управляет работой 16-ти разрядного счетчика в соответствии с выбранным режимом работы;

BPR - 16-ти разрядный буферный регистр. Может быть загружен как программно (режимы 0,1), так и из счетчика (режимы 2,3). В режимах 2 и 3 при поступлении сигнала IST2 в буферный регистр загружается текущее содержимое счетчика;

IST1 - представляет собой внешний аperiodический или тактовый сигнал. Подается на вход схемы RATEC;

IST2 - когда разряд IST2 GO ENA установлен, при поступлении сигнала IST2 в любом режиме устанавливается разряд GO и инициируется начало работы счетчика, а также устанавливается бит IST2 FLAG в "1" и генерируется прерывание, если оно разрешено. Когда GO-бит установлен при поступлении сигнала IST2 в режимах 2 и 3, происходит загрузка буферного регистра из счетчика, установка бита IST2 FLAG и генерация прерывания, если оно разрешено.

					ИРВЖ.431262.001-045ТО		Лист
							17
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Структурная схема таймера

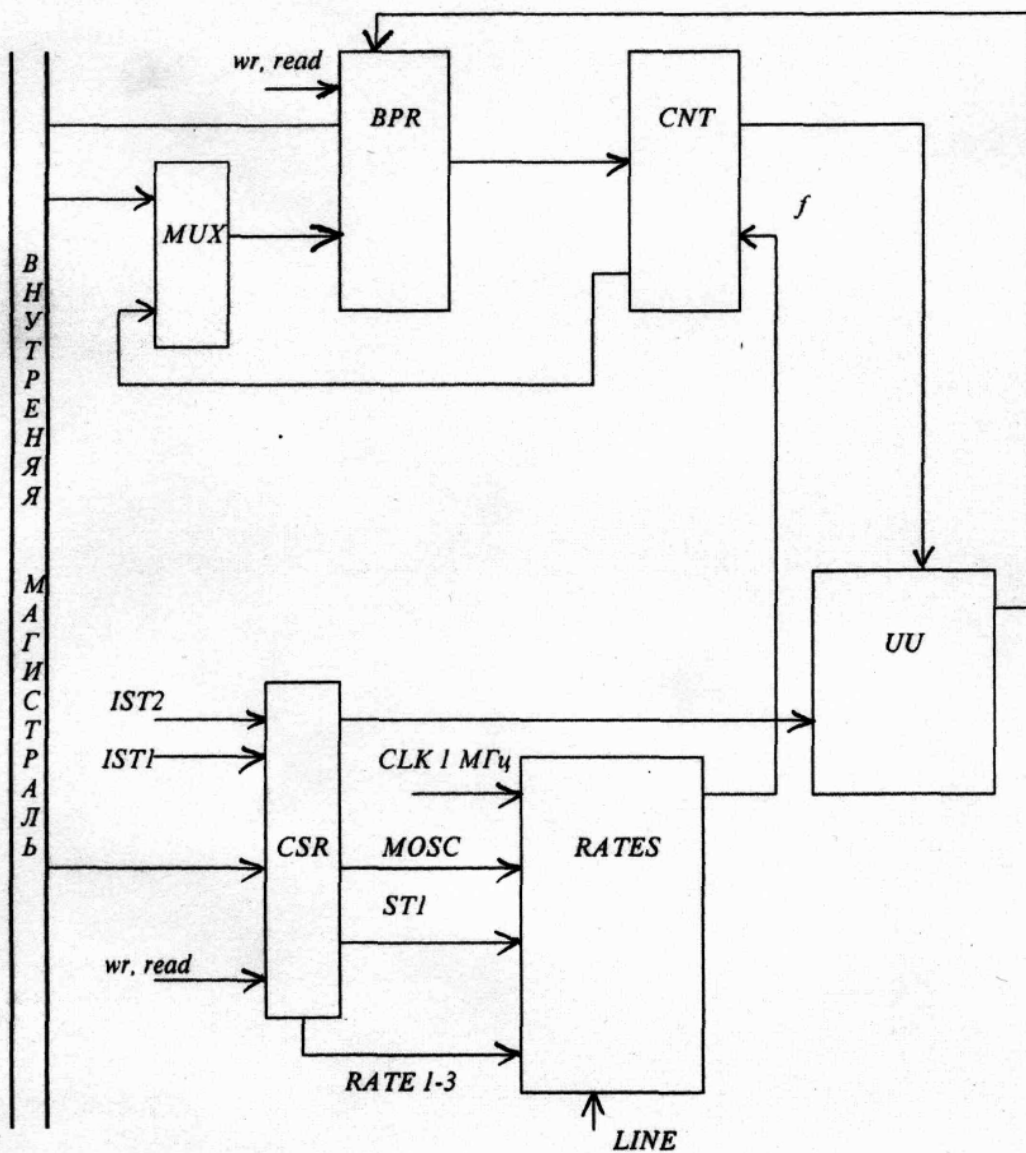


Рис. 8

					ИРВЖ.431262.001-045ТО		Лист
							18
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Разряд	Установка/сброс	Комментарий			
		5	4	3	
5-3 RATE	Устанавливается и сбрасывается программно.	0	0	0	STOP
		0	0	1	1 МГц
		0	1	0	100 кГц
		0	1	1	10 кГц
		1	0	0	1 кГц
		1	0	1	100 Гц
		1	1	0	IST1
		1	1	1	STOP
Доступны по чтению и по записи					
2-1 MODE	Устанавливается и сбрасывается программно.		2	1	
		Режим 0	0	0	
		Режим 1	0	1	
		Режим 2	1	0	
		Режим 3	1	1	
Доступны по чтению и по записи.					
0 GO	Устанавливается и сбрасывается программно. Сбрасывается также тогда, когда счетчик переполняется в режиме "0" и по сигналу INIT.	Установка этого бита инициирует работу счетчика в режиме, определенном битами RATE и MODE. В режимах "1", "2", "3" этот бит остается в "1", пока не будет сброшен программно. В режиме "0" сбрасывается, когда происходит переполнение счетчика. Сброс бита обнуляет счетчик и останавливает его.			

3.9.5. Таймер имеет четыре программных режима:

Режим 0. После того как GO-бит (в CSR) устанавливается программно или по внешнему сигналу IST2, содержимое буферного регистра загружается в счетчик. После загрузки счетчик начинает считать от загруженного значения и до переполнения. После переполнения GO-бит стирается, устанавливается флаг переполнения и генерируется прерывание, если бит 6 (в CSR) был установлен в "1".

Режим 1. После того как GO-бит устанавливается в этом режиме, содержимое буферного регистра загружается в счетчик. Счетчик начинает считать до переполнения, как в режиме 0. В режиме 1, однако, после переполнения GO-бит не сбрасывается. Поэтому в счетчик снова загружается содержимое буферного регистра. При этом генерируется прерывание по переполнению, если бит 6 (в CSR) был установ-

						Лист
						21
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

ИРВЖ.431262.001-045ТО

лен в "1". Работа счетчика продолжается до тех пор, пока GO-бит не будет сброшен в "0" программно.

Режим 2. После того как GO-бит устанавливается в этом режиме, счетчик устанавливается в 0, и затем начинает считать пока GO-бит установлен в "1". При поступлении внешнего сигнала IST2 текущее содержимое счетчика загружается в буферный регистр, в то время пока счетчик продолжает работать. При этом по сигналу IST2 бит 15 в CSR устанавливается в "1" и, если до этого бит 14 был установлен в "1", то генерируется прерывание. В этом режиме счетчик продолжает работу после прихода сигнала IST2, а также продолжает работу после переполнения.

Режим 3. Работа в режиме 3 идентична работе в режиме 2, но счетчик обнуляется после подачи сигнала IST2 и загрузки текущего содержимого счетчика в буферный регистр.

Интервал между двумя сигналами может быть измерен в режимах 2 или 3, если в CSR установить 13 и 14 биты до первого сигнала IST2 и GO-бит оставить сброшен. В этом случае первый сигнал IST2 установит GO-бит в "1" (т.о. счетчик запускается) и одновременно выдается прерывание. Если прерывание обслуживается программой сразу, то IST2 FLAG сбрасывается, а по следующему сигналу IST2 текущее содержимое счетчика загружается в BPR. Выбор режимов 2 или 3 для таких измерений зависит от того, необходимо или нет накопление после второго сигнала. Если необходимо, то подходит режим 2, т.к. счетчик не обнуляется.

Значения адресов векторов прерывания указаны в табл. 6.

Таблица 6

Источник прерывания	Адрес вектора прерывания
Переполнение 16-и раз. счетчика	130
Поступление сигнала IST2	134

3.10. Системный таймер (SCNT)

3.10.1. Структурная схема системного таймера изображена на рис. 9.

					ИРВЖ.431262.001-045ТО		Лист
							22
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

3.10.2. Системный таймер предназначен для организации работы микропроцессорной системы в режиме реального времени и отсчета программируемых временных интервалов.

3.10.3. Системный таймер состоит из:

- 1) BR - 6-ти разрядный буферный регистр;
- 2) CNT - 5-ти разрядный счетчик;
- 3) CC - схема сравнения.

BR
17774024

Буферный регистр имеет следующий формат:

6	5	4	3	2	1	0
D6		D4	D3	D2	D1	D0

D0-D4 – данные;

D6 (INT) – разрешение прерывания, сбрасывается при включении питания или поступлении сигнала INIT.

					ИРВЖ.431262.001-045ТО		Лист
							23
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Структурная схема системного таймера

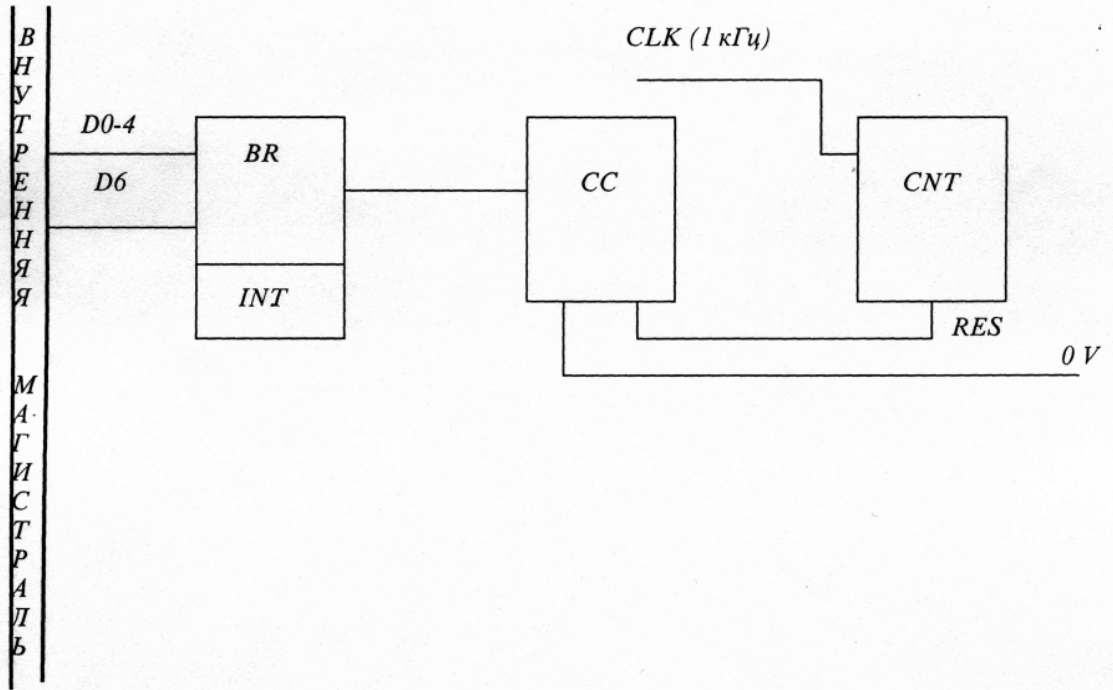


Рис. 9

					ИРВЖ.431262.001-045ТО		Лист
							24
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

3.10.4. Режим работы:

в BR программно записывается коэффициент пересчета. 6-ой разряд в BR указывает:

разрешено (установлен в "1")

или запрещено (сброшен в "0") прерывание.

С буферного регистра (BR) данные подаются на схему сравнения (CC). И каждое текущее значение 5-ти разрядного счетчика подается на схему сравнения. При совпадении числа, записанного в буферный регистр и текущего значения счетчика, схема сравнения выдает сигнал сброса счетчика (т.е. счетчик обнуляется) и генерирует прерывание, если прерывание разрешено (т.е. если бит 6 в BPR установлен в "1"). После обнуления счетчик не прекращает работу.

Источник прерывания	Адрес вектора прерывания
Переполнение 5-ти разрядного счетчика	104

После включения питания данные буферного регистра имеют неопределенное значение.

3.11. Контроллер ОЗУ/ПЗУ (СЕМ)

3.11.1. Структурная схема контроллера ОЗУ/ПЗУ представлена на рис. 10.

3.11.2. Контроллер ОЗУ/ПЗУ предназначен для формирования физического адреса считываемой/записываемой в память информации, синхронизации системной шины и шины данных памяти во время циклов обмена данными, преобразования виртуального адреса HALT моды в физический.

3.11.3. Схема состоит из следующих устройств:

дешифратор банка и формирователи сигналов (DEB);

селектор адреса (SELA)

адресный формирователь (ADRF);

контроллер доступа к внутренней шине (BUSE);

контроллер HALT моды (HCON);

					ИРВЖ.431262.001-045ТО		Лист
							25
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

схема синхронизации обмена (SYHR);
 формирователь шины данных (DATF).

Структурная схема контроллера ОЗУ/ПЗУ.

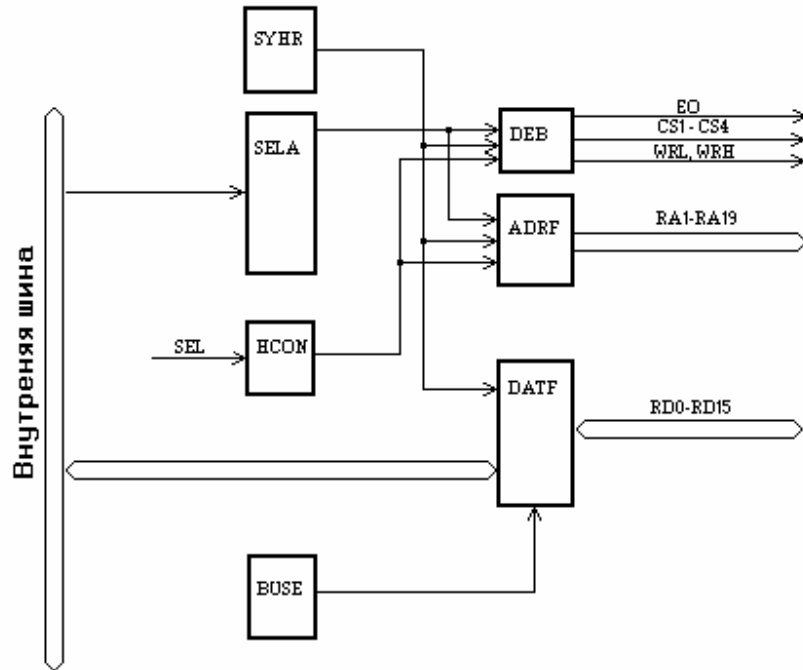


Рис. 10

					ИРВЖ.431262.001-045ТО		Лист
							26
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

3.11.4. Вся адресуемая микропроцессором область памяти организована следующим образом:

Адрес	Банк	Особенность использования
00000000	Банк 1	Область ПЗУ HALT моды
00010000		
00017777		
03777777		
04000000	Банк 2	Область ОЗУ HALT моды.
04010000		
04017777		
07777777		
10000000	Банк 3	Вид памяти - произвольный
13777777		
14000000	Банк 4	Вид памяти - произвольный
17757777		
17760000	Область адресов регистров внешних устройств	
17777777		

3.11.5. Особенность использования при HALT моде

Процессор 1836BM3 переходит в режим HALT моды при выполнении команды HALT в режиме SYSTEM или при поступлении на его вход HLT сигнала низкого уровня.

При возникновении одного из этих условий процессор осуществляет процедуру прерывания и сохраняет текущие значения счетчика команд и регистра состояния в стеке с виртуальными адресами 17776 и 17774. Загружает в регистр состояния значение 340_8 , а в счетчик команд виртуальный адрес 000000_8 . Все обращения в область виртуальных адресов 000000 – 017777 в HALT моде сопровождаются установкой в адресной части цикла сигнала SEL.

Контроллер 1582ВЖ3-0254 транслирует виртуальные адреса 0 - 007777 в область физической памяти 00010000 – 00017777 первого банка памяти, а виртуаль-

					ИРВЖ.431262.001-045ТО		Лист
							27
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

ные адреса 10000 – 17777 в область физической памяти 04010000 – 04017777 второго банка памяти. Таким образом, первая область резервируется под HALT ПЗУ, вторая - под HALT ОЗУ.

3.11.б. Схема синхронизации обмена

Схема поддерживает необходимый протокол обмена с БИС ЗУ (рис. 11). Формирует сигналы OE, WRL, WRH, CS, которые через выходные буфера подаются на микросхемы памяти.

WRL - запись в младший байт;

WRH - запись в старший байт.

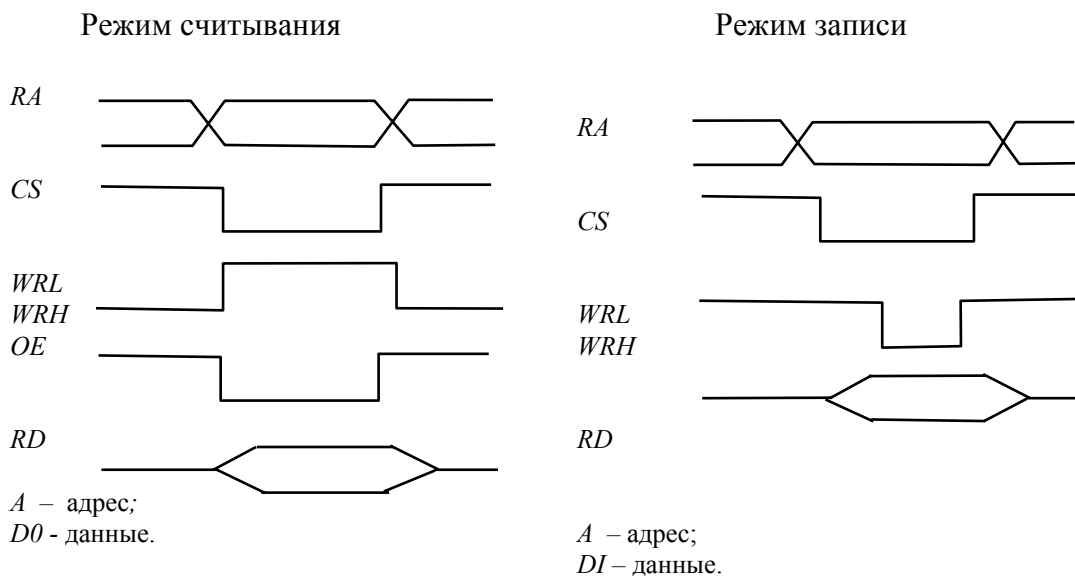


Рис. 11

При чтении, по срезу сигнала SYNC выставляется один из сигналов CS(1-4), в зависимости от того к какой области внешнего ЗУ происходит обращение. По срезу сигнала SYNC также выдается сигнал OE. На выводах WRL, WRH в фазе чтения выставляется высокий уровень сигнала. Данные на выводы QB(0-15) системной магистрали выставляются контроллером после выдачи процессором сигнала DIN. Снимаются данные после снятия процессором сигнала DIN. Сигнал OE снимается по фронту сигнала DIN, а сигнал CS(1-4) по фронту сигнала SYNC.

					ИРВЖ.431262.001-045ТО		Лист
							28
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

При записи сигналы CS(1-4) выдаются также, как и при чтении, а сигнал OE остается в высоком уровне. Сигналы WRL,WRH выставляются по срезу сигнала DOUT, а снимаются после снятия DOUT. В зависимости от уровня внешнего сигнала WTBT (в фазе записи) осуществляется запись байта или слова. Если WTBT имеет низкий уровень, то происходит запись байта (т.е. на одном из выходов WRL,WRH выставляется низкий уровень (в зависимости от нулевого разряда адреса)). И соответственно, если WTBT имеет высокий уровень, то происходит запись слова (т.е. на обоих выходах WRL и WRH выставляется низкий уровень). К моменту выдачи сигналов WRL,WRH данные уже выставлены на выводах RD0-RD15 данной микросхемы. Снимаются данные по фронту сигнала DOUT.

Сигналы на магистраль адреса RA1-RA19 и магистраль данных RD0-RD15 выставляются в прямом коде, т.е. логической 1 соответствует высокий уровень напряжения.

3.12. Контроллер системной магистрали

3.12.1. Схема предназначена для организации связи внутреннего интерфейса микросхемы с системной шиной типа Q22-BUS, сопряжения внутренней временной диаграммы с диаграммой работы внешней шины, обработки запросов на прерывание от внутренних устройств микросхемы и выдачи адреса вектора прерывания.

3.12.2. Схема выдает на основе внешних управляющих сигналов (SYNC, DIN, DOUT, BS, SEL, IAKI) стробы записи, чтения из внутренних регистров микросхемы и из БИС ЗУ, а также сигналы SSYNC, RPLY, IRQ, IAKO выдаваемые на системную шину.

Выдача адреса вектора прерывания осуществляется на младшие QB (0-7) разряды системной магистрали.

					ИРВЖ.431262.001-045ТО		Лист
							29
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

3.13. Регистры внутреннего управления

Данная микросхема имеет встроенный контроллер зависания системы "WatchDog" (WD), управляемый кварцевый генератор системной частоты и возможность программного управления задержкой выдачи сигнала RPLY относительно времени приема сигналов DIN, DOUT.

WD представляет собой управляемый счетчик, на вход которого подается частота 25 Гц. Интервал WD программируется 8-ю битами, хранящимися в регистре интервала WD. Работа WD разрешена, если выставлены сигналы ACLO, DCLO и установлен соответствующий разряд в регистре управления WD. Если счетчик достигнет значения, совпадающего со значением интервала, то WD инициирует снятие сигналов ACLO, DCLO и последующую их повторную установку в заданной последовательности. Таким образом, процессор вновь инициализируется. Что бы предотвратить реинициализацию процессора, необходимо периодически подавать команду сброса текущего значения счетчика. Это производится записью "1" в бит коррекции регистра управления WD.

3.13.1. Микросхема имеет два регистра внутреннего управления:

регистр управления генератором и интервала WD – WDF;

регистр управления WD и синхронизации магистрали – CRWD.

3.13.2. Регистры имеют на консоли следующие адреса:

CRWD	17777520
WDF	17777522

3.13.3. Структура регистра CRWD:

07	06	05	04	03	02	01	00
EWR	WDE	COR	DI1	DI0	DO1	DO0	HLT
15	14	13	12	11	10	09	08
V7	V6	V5	V4	V3	V2	V1	V0

Назначение разрядов регистра CRWD приведено в таблице 7.

Таблица 7

					ИРВЖ.431262.001-045ТО		Лист
							30
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

Разряды	Назначение	Описание
08-15 V0-V7	8-ми разрядный регистр общего назначения.	Разряды данного регистра устанавливаются в "0" по сигналу RST при включении питания. Перезапуск процессора через WD не изменяет данные в регистре.
07 EWR	Разрешение записи старших разрядов регистра V0-V7.	Для записи в старшие разряды регистра необходимо, чтобы данный разряд был установлен в "1" в предыдущих циклах. Установка в "0" блокирует запись.
06 WDE	Разрешение работы схемы WD	Когда данный разряд установлен в "1", работа схемы WD разрешена. "0" – запрещение работы. Устанавливается и сбрасывается программно. После включения питания – установлен в "1".
05 COR	Сигнал коррекции	Запись "1" в данный разряд сбрасывает счетчик WD в исходное состояние. При чтении всегда "0".
04, 03 DI1, DI0	Установление задержки выдачи RPLY при операциях чтения.	Устанавливаются и сбрасываются программно. DI1 DI0 1 1 – задержка 1.0 T 1 0 – задержка 0.5 T 0 X – без задержки. После включения питания устанавливается код 11.
02, 01 DO1, DO0	Установка задержки выдачи RPLY при операциях записи.	Устанавливаются и сбрасываются программно. DO1 DO0 1 1 – задержка 1.0 T 1 0 – задержка 0.5 T 0 X – без задержки. После включения питания устанавливается код 11.
00 HLT	Установка сигнала HLT процессора.	При установке данного разряда, на внешний вывод HALT микросхемы выдается низкий уровень сигнала. После включения питания установлен в "1". Данная особенность используется для запуска процессора через режим HALT моды.

3.13.4. Структура регистра WDF:

					ИРВЖ.431262.001-045ТО		Лист
							31
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WD7	WD6	WD5	WD4	WD3	WD2	WD1	WD0	TC	V1	V0	-	-	-	-	-

Назначение разрядов регистра WDF приведено в таблице 8.

Таблица 8

Разряды	Назначение	Описание
15-8 WD7-WD0	Длительность интервала WD	Устанавливаются и сбрасываются программно. После включения питания все разряды установлены в "1".
7 TC	Тип кварца.	Устанавливается и сбрасывается программно. "1" – кварц 24 МГц "0" – кварц 16 МГц. После включения питания установлен в "1".
6, 5 V1, V0	Делитель	Устанавливается и сбрасывается программно. V1 V0 коэффициент деления 1 1 - 6 1 0 - 4 0 1 - 2 0 0 - 1 После включения питания оба разряда установлены в "1".

					ИРВЖ.431262.001-045ТО				Лист
									32
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата					

4. УКАЗАНИЯ ПО ПРИМЕНЕНИЮ И ЭКСПЛУАТАЦИИ

4.1. Указания и рекомендации по эксплуатации в соответствии с ОСТ В 11 0398-87.

4.2. При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы. Допустимое значение статического потенциала 600 В по ОСТ 11 073.062-84.

4.3. Режим и условия монтажа микросхем в аппаратуре - по ОСТ 11 В 073.063-84.

4.4. Рекомендуется начинать пайку с выводов питания. Пайку остальных выводов разрешается производить в любой последовательности. Все неиспользуемые входы микросхемы должны соединяться с шиной "питание" или "общий" в зависимости от выполняемой логической функции.

4.5. При ремонте аппаратуры и измерении параметров микросхемы в контактирующих устройствах, замену микросхемы необходимо производить только при отключенных источниках питания.

					ИРВЖ.431262.001-045ТО	Лист
						33
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№ подл.	Подп. и дата	Взам.инв. №	Инв.№ дубл.	Подп и дата		

