



МИКРОСХЕМЫ КОНТРОЛЛЕРОВ КАНАЛА ARINC-429

1584БЦ2У-0002, 1584БЦ2У1-0002,

СОДЕРЖАЩИЕ

2 КАНАЛА ПРИЕМА И 1 КАНАЛ ПЕРЕДАЧИ СО СТЕКАМИ FIFO

**Техническое описание**

Главный конструктор разработки

\_\_\_\_\_ А.В. Розе

« \_\_\_\_ » \_\_\_\_\_ 2026 г.

Сведения о приемке

Дата:	
Количество:	
Ответственное лицо:	
Отметка ОТК	

2026

<b>1</b>	<b>Общая информация .....</b>	<b>2</b>
1.1	Описание микросхемы и основные характеристики .....	2
1.2	Габаритные чертежи микросхем .....	3
1.3	Электрические характеристики микросхемы.....	4
1.4	Назначение выводов микросхемы.....	5
1.5	Структурная схема микросхемы .....	7
<b>2</b>	<b>Алгоритм работы.....</b>	<b>10</b>
2.1	Инициализация микросхемы .....	10
2.2	Приемник ARINC.....	11
2.3	FIFO приемников .....	11
2.4	Передатчик ARINC.....	12
2.5	FIFO передатчиков.....	13
<b>4</b>	<b>Версии микросхемы .....</b>	<b>14</b>
<b>5</b>	<b>Лист регистрации изменений.....</b>	<b>14</b>

## **1 Общая информация**

### **1.1 Описание микросхемы и основные характеристики**

Функционально микросхема представляет собой два приемника – контроллера протокола канала ARINC-429 со встроенной памятью 256 признаков отслеживаемых адресов, FIFO приемников 32х33 (один на оба приемника), один передатчик – контроллер ARINC-429, FIFO передатчика 32х32 и блок управления. Допустимые рабочие частоты приемников и передатчика: 12,5 кбит/с, 50 кбит/с, 100 кбит/с, 250 кбит/с, 500 кбит/с и 1000 кбит/с. Рабочие частоты выбираются индивидуально для каждого канала методом программирования контрольно-статусного регистра блока управления. Интерфейс взаимодействия с подсистемой пользователя - SPI.

Напряжение питания микросхемы 3,3В. Микросхемы могут поставляться в двух типах корпусов: 5158.48-1 и Н16.48-2В.

Номер технических условий: ИРВЖ.431260.002ТУ

## 1.2 Габаритные чертежи микросхем

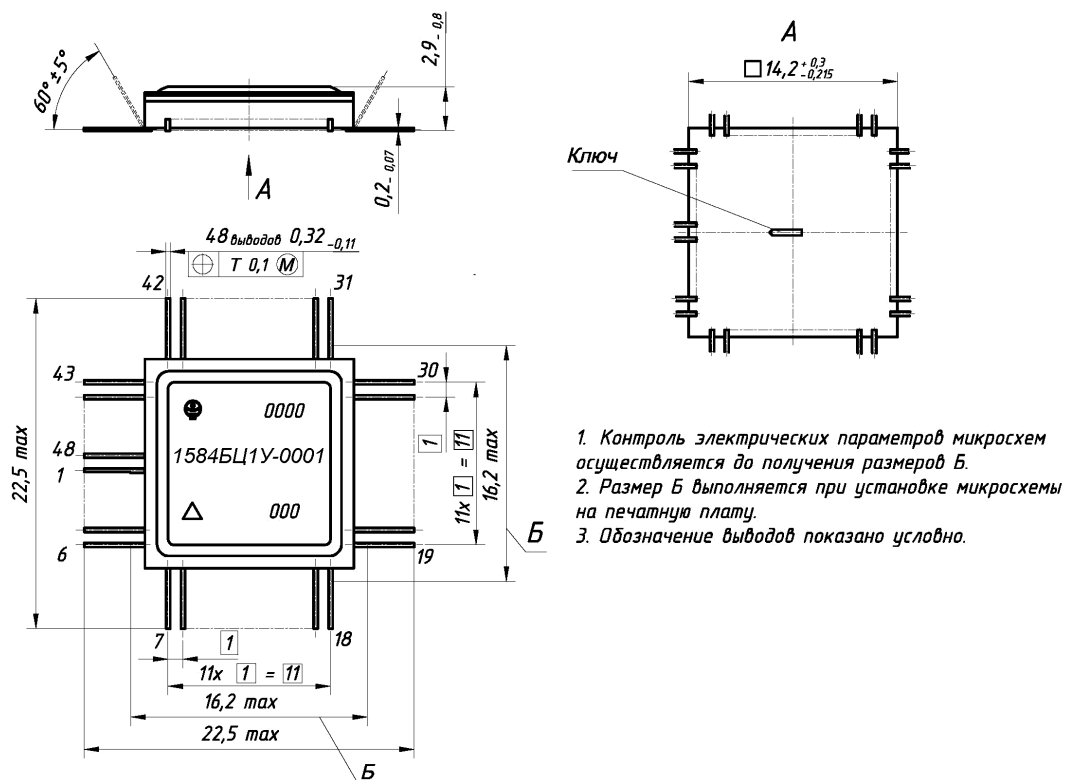


Рисунок 1. Габаритный чертеж микросхемы K1584BC2Y-0002 в корпусе N16.48-2B (маркировка на рисунке может не совпадать с описанием).

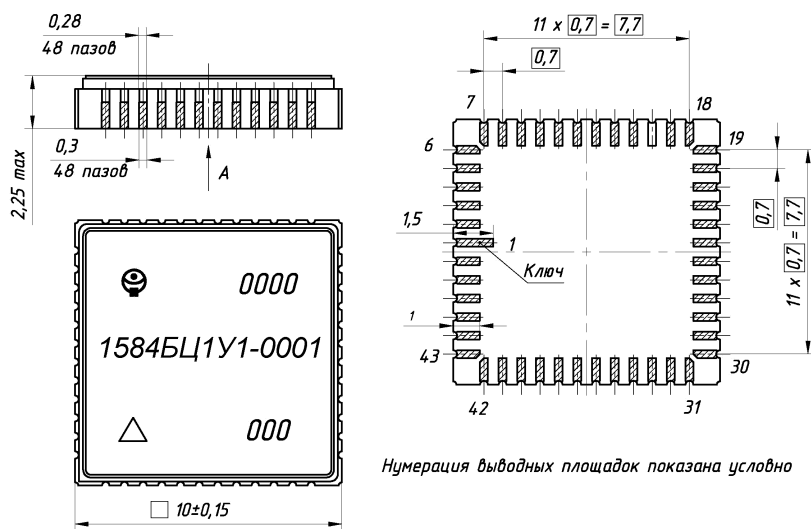


Рисунок 1.1 Габаритный чертеж микросхемы K1584BC2Y1-0002 в корпусе 5158.48-1.

### 1.3 Электрические характеристики микросхемы

Т а б л и ц а 1 – Электрические параметры микросхемы при приемке и поставке

Наименование параметра, буквенное обозначение, единица измерения, режим измерения	Буквенное обозначение параметра	Норма		Температура окружающей среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В, при: $U_{CC}=3,1$ В; $U_{IH}=2,8$ В; $U_{IL}=0,3$ В; $I_{OH}=-0,8$ ; $-0,5$ *мА	$U_{OH}$	2,8	–	минус (60±3); 25±10; 125±5
Выходное напряжение низкого уровня, В, при: $U_{CC}=3,5$ В; $U_{IH}=3,1$ В; $U_{IL}=0,8$ В; $I_{OL}=2,0$ мА	$U_{OL}$	–	0,3	
Ток утечки высокого уровня на входе, мкА, при: $U_{IH}=3,5$ В; $U_{CC}=3,5$ В; $U_{IL}=0,4$ В	$I_{LH}$	–	3,0	25±10
			15,0	минус (60±3); 125±5
			30,0*	
Ток утечки низкого уровня на входе, мкА, при: $U_{IH}=3,1$ В; $U_{IL}=0$ В; $U_{CC}=3,5$ В	$I_{LL}$	–3,0 –15,0 –30,0*	–	25±10
			минус (60±3); 125±5	
Ток потребления, мкА, $U_{IH}=3,1$ ; $3,5$ * В; $U_{CC}=3,5$ В	$I_{CC}$	–	500	25±10
			2500	минус (60±3); 125±5
			5000*	
Выходной ток высокого уровня, мА, при: $U_{IL}=0$ В; $U_{IH}=3,1$ В; $U_{OH}=2,8$ В; $U_{CC}=3,1$ В	$I_{OH}$	–	–0,8	минус (60±3); 25±10; 125±5
Выходной ток низкого уровня, мА, при: $U_{IL}=0$ В; $U_{IH}=3,5$ В; $U_{OL}=0,3$ В; $U_{CC}=3,5$ В	$I_{OL}$	8,0	–	минус (60±3); 25±10; 125±5
*После воздействия специальных факторов.				

Т а б л и ц а 2 – Предельно допустимые и предельные электрические режимы эксплуатации микросхемы

Наименование параметра, единица измерения	Буквенное обозначение	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	$U_{CC}$	3,1	3,5	–0,2	5,5
Входное напряжение, В	$U_I$	–0,2	( $U_{CC}+0,2$ ), но не более 5,5	–0,2	( $U_{CC}+0,2$ ), но не более 5,5
Выходное напряжение покоя, В	$U_{OQ}$	–0,2	( $U_{CC}+0,2$ ), но не более 5,5	–0,2	( $U_{CC}+0,2$ ), но не более 5,5
Входное напряжение высокого уровня, В	$U_{IH}$	$U_{CC}-0,6$	( $U_{CC}+0,2$ ), но не более 5,5	–	–
Входное напряжение низкого уровня, В	$U_{IL}$	0	0,6	–	–
Выходной ток низкого уровня, мА	$I_{OL}$	–	8,0	–	–
Выходной ток высокого уровня, мА	$I_{OH}$	–0,8	–	–	–
Суммарная емкость нагрузки при максимальной частоте функционирования, пФ	$C_{L\Sigma}$	–	2000	–	2500
Емкость нагрузки, пФ	$C_L$	–	100	–	200
Рассеиваемая мощность, Вт	$P_{tot}$	–	1,4	–	1,7
П р и м е ч а н и е – В предельном режиме допускается импульсное превышение напряжения входного сигнала над напряжением питания (положительное) и относительно вывода «общий» (отрицательное) амплитудой 0,7 В (с учетом постоянной составляющей) длительностью не более 200 нс и скважностью не менее 5.					

## 1.4 Назначение выводов микросхемы

Т а б л и ц а 3 – Назначение выводов микросхемы

<b>MOSI</b>	-	входной вывод SPI
<b>NCS_R</b>	-	строб для считывания по SPI принятых данных из FIFO приемников, активный низкий уровень
<b>NCS_T</b>	-	строб для загрузки по SPI слова для передачи в FIFO передатчика, активный низкий уровень
<b>NCS_C</b>	-	строб для обмена данными по SPI микроконтроллера с блоком управления микросхемы, активный низкий уровень
<b>SCK</b>	-	синхросигнал канала SPI
<b>MISO</b>	-	выходной вывод SPI
<b>INIT_NR</b>	-	сигнал начального сброса, активный низкий уровень, имеет подтягивающий резистор к напряжению источника питания. Данный сигнал сбрасывает все внутренние триггера, за исключением ячеек памяти признаков, в исходное состояние. Память признаков иницируется отдельно
<b>F8MI</b>	-	вход системной частоты
<b>A_R1</b>	-	цифровой входной сигнал ARINC для приема "1" бита в первом канале
<b>B_R1</b>	-	цифровой входной сигнал ARINC для приема "0" бита в первом канале
<b>A_R2</b>	-	цифровой входной сигнал ARINC для приема "1" бита во втором канале
<b>B_R2</b>	-	цифровой входной сигнал ARINC для приема "0" бита во втором канале
<b>FR1</b>	-	вывод контроля рабочей частоты первого канала передатчика
<b>FR2</b>	-	вывод контроля рабочей частоты второго канала передатчика
<b>A_T1</b>	-	выходной сигнал ARINC для передачи "1" бита в канале передатчика
<b>B_T1</b>	-	выходной сигнал ARINC для передачи "0" бита в канале передатчика
<b>FT</b>	-	вывод контроля рабочей частоты передатчика
<b>EN_R_RE</b>	-	сигнал готовности к передаче слова, принятого по каналам ARINC
<b>ST_R_FU</b>	-	сигнал-индикатор переполнения FIFO приемников. При наличии этого сигнала все последующие принимаемые ARINC слова будут игнорироваться
<b>ST_R_EM</b>	-	сигнал-индикатор, показывающий, что FIFO приемников пуст
<b>EN_T_LO</b>	-	сигнал готовности FIFO передатчика к приему слова от SPI
<b>ST_T_FU</b>	-	сигнал-индикатор переполнения FIFO передатчика. При наличии этого сигнала все

		последующие принимаемые от SPI слова будут игнорироваться
<b>ST_T_EM</b>	-	сигнал-индикатор, показывающий, что FIFO передатчика пуст
<b>EN</b>	-	сигнал-переключатель входов приёмников цифровые/аналоговые, имеет подтягивающий резистор к шине "GND". Для выбора цифровых входов подключить к шине питания.
<b>ERR1</b>	-	индикатор "Ошибка количества принятых бит в слове" 1-ого канала
<b>ERR2</b>	-	индикатор "Ошибка количества принятых бит в слове" 2-ого канала
<b>RES</b>	-	технологический сигнал для подстройки режимных токов аналоговых входов приёмников

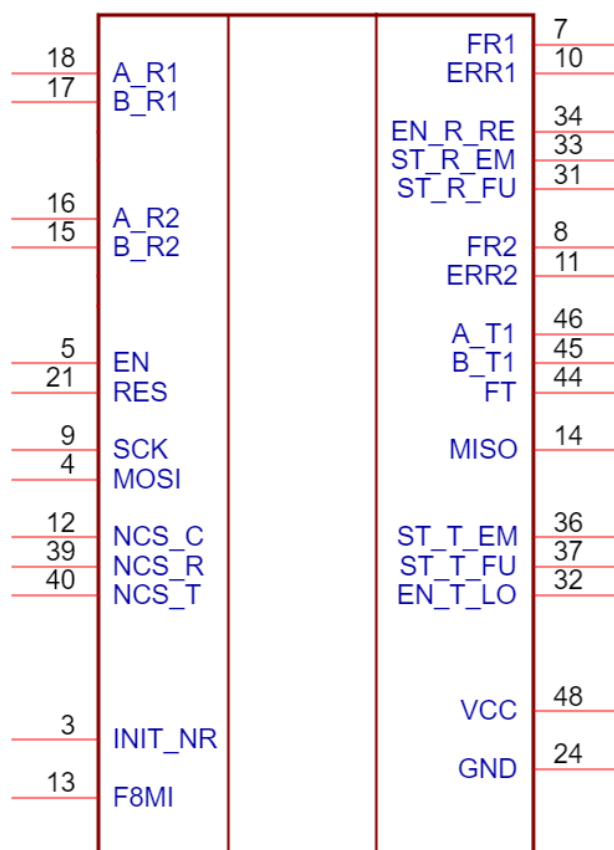


Рисунок 2 - Условное графическое обозначение микросхемы.

## 1.5 Структурная схема микросхемы

На структурной схеме имена сигналов указаны с сокращением написания.

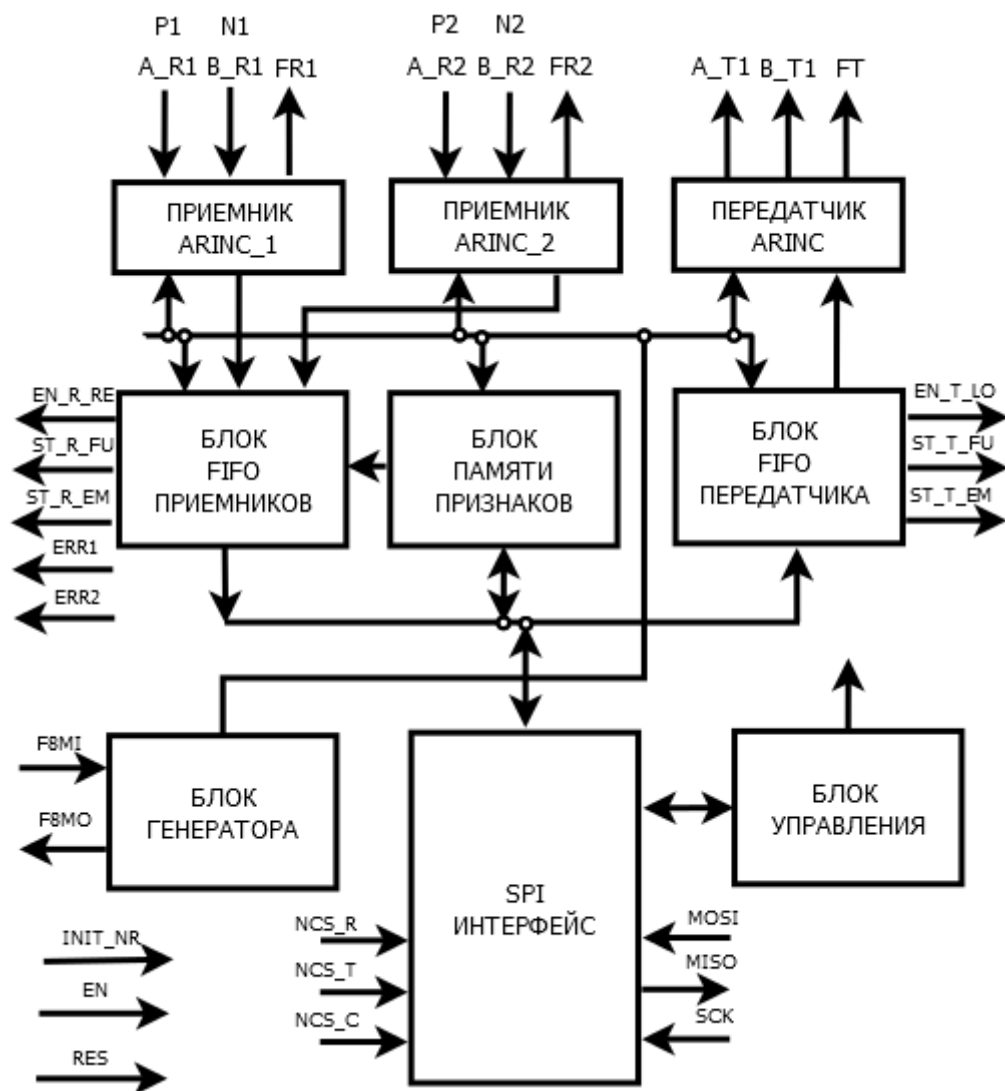


Рисунок 3 – Структурная схема микросхемы

Микросхема состоит из: двух блоков приемников канала ARINC, блока памяти на 256 признаков, FIFO приемников емкостью 32 33-х разрядных слов (единого для обоих приемников), блока интерфейса канала SPI, одного передатчика ARINC, FIFO передатчика емкостью 32 32-х разрядных слов и блока управления.

Блок приемника канала ARINC-429 состоит из последовательного сдвигового регистра, буферного регистра, схемы реверса битов в поле признака принятого кода, схемы детектора межсловного промежутка, блока контроля четности, счетчика принятых бит и блока формирователя рабочей частоты.

Блок передатчика ARINC представляет собой стандартный 32-х разрядный сдвиговый регистр с асинхронной параллельной записью данных, формирователем выходного кода, счетчиком бит и блоком формирователя рабочей частоты.

Блоки FIFO приемников и передатчика практически идентичны и представляют собой массивы из 32-х линеек триггеров типа "latch". Единственное различие между ними заключается в том, что линейка триггеров FIFO приемников состоит из 33 триггеров данных, а у передатчика их 32. 33-ий триггер используется как идентификатор источника информации: первый приемник или второй.

Блок памяти признаков состоит из 256-ти однобитных ячеек данных. Каждый бит-признак определяет необходимость отслеживания данного признака (адрес бита в памяти). Если бит-признак установлен - признак отслеживается, если сброшен, то нет.

Блок интерфейса SPI представляет собой 33-х разрядный сдвиговый регистр с возможностью осуществления загрузки как параллельно, так и последовательно. Следует отметить, что информация в канале SPI всегда передается старшими разрядами вперед. Все операции с SPI выполняются с активацией одного из сигналов NCS\_x. При обмене данными по интерфейсу SPI принято следующее правило: изменения состояния на линиях SI и SO осуществляются синхронно с спадом на линии SCK, а фиксация этих состояний в регистрах микросхемы и микроконтроллера по фронту сигнала SCK. Временные диаграммы типовых операций на SPI представлены ниже в соответствующих разделах.

Синхросигнал SCK не обязательно должен быть строго периодическим. Он может быть произвольно разбит на группы, при этом главное, чтобы соответствующий сигнал NCS\_x оставался в состоянии "0" в течение всего времени операции.

При включении питания микросхема входит в пассивный (нерабочий) режим. Перед началом работы следует запрограммировать некоторые параметры внутренних узлов. К таким параметрам относятся: рабочая частота приемников и передатчика, разрешения работы приемников и передатчика, необходимость выполнения операции реверса разрядов поля признака у приемников и заполнение карты отслеживаемых признаков в памяти. Для осуществления этих действий служит блок управления.

Функционирование блока управления осуществляется на основе команд, принимаемых им по каналу SPI. Каждая команда в общем случае состоит из двух полей: поля кода операции 8 бит и поля данных от 0 до 256 бит.

Структурно блок управления состоит из 2 узлов: декодера-формирователя команд и 16-ти разрядного регистра состояния. Формат регистра состояния приведен на рисунке 4.

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	
первый приемник					второй приемник					передатчик						
частота			разре- шение	реверс	частота			разре- шение	реверс	частота			разре- шение	резерв		
T10	T11	T12	En1	Rev1	T20	T21	T22	En2	Rev2	Tt0	Tt1	Tt2	Ent			

Enx – разрешение обработки информации по данному каналу.

Revx – разрешение реверса порядка бит в поле признака принятого кода.

Рисунок 4 – Формат регистра состояния

Кодирование рабочей частоты осуществляется в соответствии с таблицей 4., коды команд в соответствии с таблицей 5.

Таблица 4 - Кодирование рабочей частоты

Tx0	Tx1	Tx2	Значение рабочей частоты
0	0	0	1 МГц
1	0	0	500 КГц
0	1	0	250 КГц
1	1	0	100 КГц
0	0	1	50 КГц
1	0	1	12.5 КГц
X	1	1	Запрещенная комбинация

Таблица 5 - Коды команд

Биты кода команды								Размер поля данных	Команда
8	7	6	5	4	3	2	1		
0	0	0	0	0	0	0	1	-	Сбросить FIFO приемников
1	0	0	0	0	0	0	1	-	Сбросить FIFO передатчиков
0	0	0	0	0	0	1	0	-	Сбросить память признаков
1	0	0	0	0	0	1	0	-	Установить память признаков
0	0	0	0	1	0	0	0	8	Записать в ячейку памяти признаков "0"
1	0	0	0	1	0	0	0	8	Записать в ячейку памяти признаков "1"
0	0	0	1	0	0	0	0	16	Загрузить данные в контрольный регистр
1	0	0	1	0	0	0	0	16	* Прочитать данные из контрольного регистра
0	1	0	0	0	0	0	0	256	Загрузить всю память признаков
1	1	0	0	0	0	0	0	256	Прочитать всю память признаков

\* - в настоящей версии микросхемы данная функция не реализована.

Некоторые пояснения по выполнению перечисленных выше команд.

Команда "**Сбросить память признаков**" означает установку в "0" всех ячеек памяти признаков.

Команда "**Установить память признаков**" означает установку в "1" всех ячеек памяти признаков.

Для команд записи 0/1 для конкретного признака в поле данных передается адрес ячейки памяти для данного признака.

Для команд "Загрузить/Прочитать всю память признаков" самым первым битом в поле данных всегда следует значение самой старшей ячейки памяти признаков. Остальные ячейки идут по убывающей. При загрузке значения признаков передаются единым массивом. В случае не полной передачи, оставшиеся признаки сохраняют свое текущее состояние.

## 2 Алгоритм работы

### 2.1 Инициализация микросхемы

Как указывалось ранее, перед началом работы микросхема должна быть инициализирована. Начальная инициализация осуществляется при помощи команд, подаваемых блоку управления через SPI. Код команды имеет размер байта и следует в начале последовательности. Коды команд были приведены выше. Команды могут быть трех типов: без поля данных, команды чтения и команды записи. Временные диаграммы всех типов команд приведены ниже. Стрелочками на SCK отмечены моменты сдвига информации во входном регистре блока SPI.

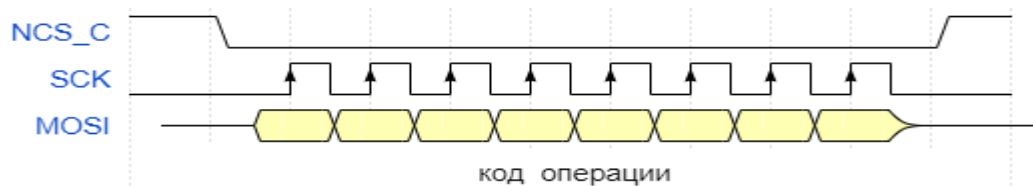


Рисунок 5 - Команда без поля данных

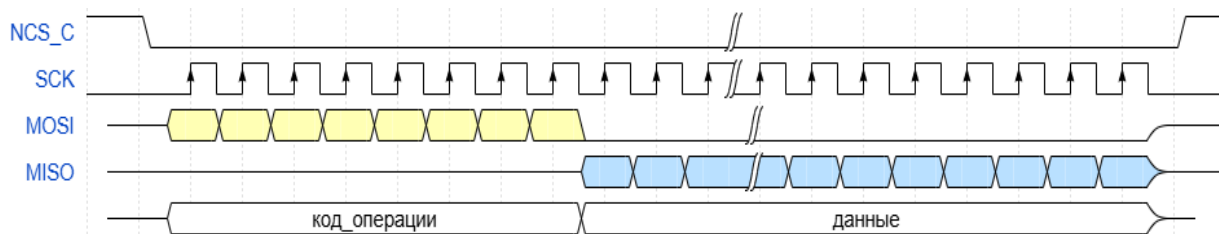


Рисунок 5.1 - Команда чтения

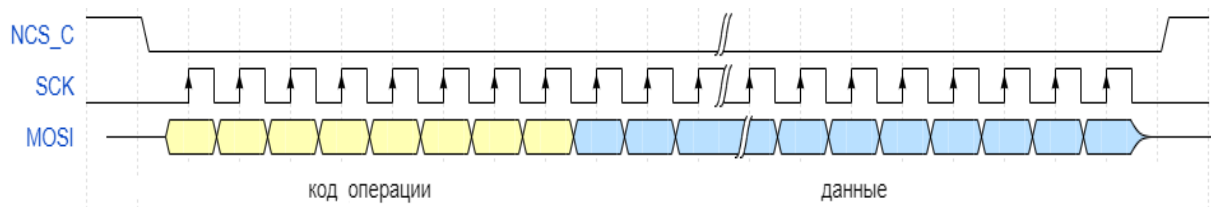


Рисунок 5.2 - Команда записи

Все операции обмена данными с блоком управления производятся с активированием сигнала NCS\_C.

## 2.2 Приемник ARINC

После начальной инициализации блоки приемников готовы к работе. Если приемник разрешён, то на соответствующем выходе FRx будет присутствовать периодический сигнал в 4 раз превышающий установленную рабочую частоту канала. В случае запрета приемника вся информация на входе канала игнорируется.

Сдвиг информации во входной регистр приемника начинается с приходом первого бита и до появления межсловного интервала. Во время активной фазы приема слова, приемник подсчитывает количество принятых бит и четность. При появлении межсловного интервала сначала проверяется число принятых бит. Если оно не равно 32, то принятая информация игнорируется и никакие последующие действия не предпринимаются, выставляется сигнал ERRx, который будет действовать до окончания приема следующего слова.

Если слово имеет правильную длину, то слово переписывается в буферный регистр приемника. При этом в 32-й разряд записывается результат контроля четности: если нарушения четности не было, то "0", противном случае "1". В 8 младших разрядов буферного регистра переписывается код принятого признака в прямом или реверсном виде.

Далее приемник выставляет запрос к памяти отслеживаемых признаков и, если она свободна, выставляет свой 8-ми битный код на адресную шину памяти. Если полученный ответ положительный, то информация ставится в очередь на загрузку в FIFO и по его готовности перегружается. В противном случае она сохраняется в буферном регистре, но запрос на загрузку в FIFO не формируется. Т.к. FIFO единый для обоих приемников, в его 33-й разряд загружается "1", если информация принята от второго приемника (приемники нумеруются как "1" и "2").

Существует вероятность, что приемники выставят запрос к памяти одновременно. Для предотвращения конфликта в схеме реализован диспетчер. Следует отметить, что абсолютный приоритет доступа к памяти признаков имеет блок управления. Его запросы не диспетчеризируются и могут нарушить описанный выше алгоритм, поэтому всю работу с памятью признаков со стороны блока управления рекомендуется проводить с отключенными приемниками.

## 2.3 FIFO приемников

Общий принцип работы блока FIFO подробно описан в приложении 1. Заполняемость FIFO контролируется двумя сигналами: **ST\_R\_EM** и **ST\_R\_FU**. Когда FIFO пуст сигнал **ST\_R\_EM** = "1", если FIFO содержит хоть одно слово **ST\_R\_EM** = "0". Аналогичным образом, если в FIFO больше нет ни одной свободной строки, то **ST\_R\_FU** устанавливается в "1". В этом состоянии FIFO больше не способен принимать данные от приемников ARINC. Данные будут храниться в буферных регистрах приемников до тех пор, пока либо не освободится верхняя строка FIFO, либо не будет получено новое слово приемником.

Если нижняя строка FIFO содержит актуальные данные, то активируется сигнал **EN\_R\_RE** (**EN\_R\_RE** становится равен "1"). В этот момент данные можно прочитать по SPI в соответствии с временной диаграммой на рисунке XXXXX.

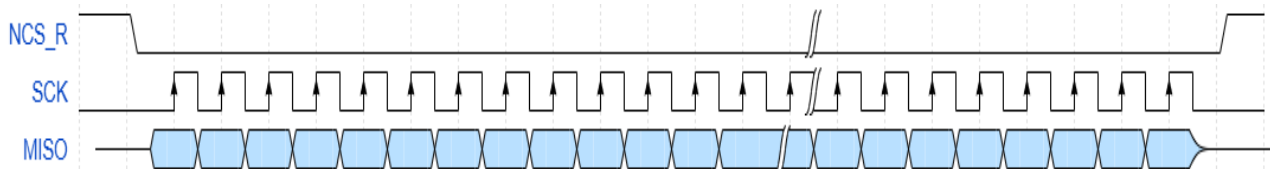


Рисунок 5.3 - Временная диаграмма считывания принятого слова ARINC

Считывание производится при активизации сигнала NCS\_R.

Следует отметить, что считывать необходимо 33 бита. Самый первый бит – источник информации (первый или второй канал ARINC).

## 2.4 Передатчик ARINC

Передатчик, так же, как и приемники при включении питания при начальном сбросе находится в выключенном состоянии. В этом состоянии на обоих его выходах поддерживается комбинация "11". Такая комбинация переводит микросхему канального передатчика в высокоимпедансное состояние выходов. Для приведения передатчика в активный режим необходимо в регистр состояния загрузить код рабочей частоты передатчика и установить бит разрешения его работы. В активном режиме на выводе FT появится периодический сигнал, с частотой в 4 раз превышающей рабочую.

Что бы передать слово в канал ARINC надо сначала загрузить его в FIFO передатчика. FIFO передатчика так же имеет сигналы для контроля его заполнения: ST\_T\_EM и ST\_T\_FU.

ST\_T\_EM = "1" означает, что нет ни одного слова для передачи, загруженного в FIFO.

ST\_T\_FU = "1" означает, что FIFO передатчика загружен полностью и не может больше принять ни одного слова для передачи.

Ещё один используемый сигнал для работы с передатчиком - EN\_T\_LO. Данный сигнал контролирует наличие свободной верхней строки FIFO.

EN\_T\_LO = "1" означает, что верхняя строка FIFO свободна и можно осуществить запись данных по SPI для передачи через канал ARINC.

Временная диаграмма записи данных для передачи по SPI приведена на рисунке 4.4.

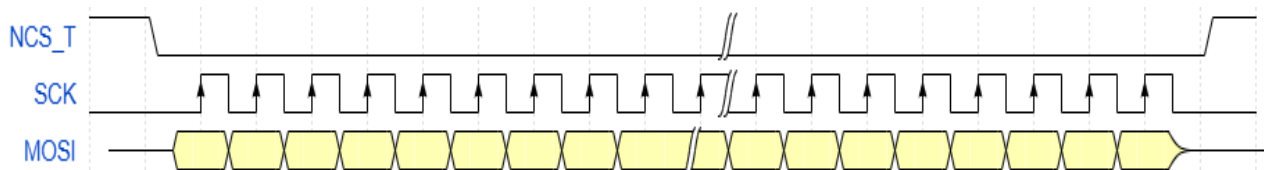


Рисунок 5.4 - Запись данных для передачи

Процедура выполняется при активном сигнале NCS\_T. На вход подается 32-х битное слово. Никаких обработок принятых для передачи слов микросхема не осуществляет, поэтому, в частности, бит четности должен быть вычислен заранее.

Данные, загружаемые в FIFO, постепенно "проваливаются" до нижней строки. Передатчик осуществляет контроль наличия в нижней строке актуальных данных для передачи и при их появлении и своей готовности к передаче, извлекает эти данные и запускает цикл передачи в канале ARINC. После завершения текущей операции, цикл повторяется.

## 2.5 FIFO передатчиков

В микросхеме применены несколько структур временного хранения данных, обрабатывающие информацию на входе-выходе по методу FIFO ("First Input-First Output" первый пришёл – первый вышел). В дальнейшем для краткости будем называть такую структуру – блок FIFO.

Блок FIFO представляет собой массив строк данных. Каждая строка – n-разрядный регистр триггеров с параллельным вводом-выводом данных и один специальный триггер - триггер флага актуальности данных в строке (далее для краткости будем применять термин флажок). Если данные в строке актуальны – флажок хранит "1", если нет, то "0". В последнем случае будем говорить, что строка "пустая".

Все строки в блоке объединены в структуру напоминающую вертикально стоящую лестницу. Выходы вышестоящей строки соединяются со входами ниже расположенной строки. Самая верхняя строка – вход блока FIFO, самая нижняя строка – его выход.

Рассмотрим алгоритм работы данной структуры.

На весь блок FIFO подается строб-сигнал, совпадающий с входной тактовой частотой. Если нижележащая строка "пустая", а вышележащая содержит данные (что определяется по состоянию флажков строк), то на тактовые входы записи триггеров данных "пустой" строки подается строб и данные переписываются из верхней строки в нижнюю. Флажок нижней строки устанавливается в "1", а верхней в "0". Таким образом информация смещается на одну строку вниз, а флажок "пустой" строки как бы поднимается вверх. Для флажка процесс напоминает движение пузырька воздуха в стакане с водой, поэтому этот алгоритм мы называем "пузырьковым".

Во всех остальных случаях никакие действия над строками данных не производятся. Из этого алгоритма видно, что загрузить данные в блок FIFO можно только в том случае, если флажок верхней строки указывает, что она "пустая". В тоже время выгрузить данные из блока FIFO можно только тогда, когда они реально содержатся в нижней строке. Одновременно с процессами загрузки-выгрузки данных в блоке FIFO, соответствующим образом изменяются флажки верхней или нижней строк.

При включении питания такая структура содержит случайные данные, поэтому по начальному сбросу флажки всех строк сбрасываются в "0", FIFO как бы "обнуляется".

Данный алгоритм показал самую высокую компактность реализации структуры FIFO на кремнии и чрезвычайную легкость масштабирования как по числу строк, так и по разрядности каждой строки. Схемотехнически реализация очень простая. И надежно работает даже на устаревших технологиях с одним слоем металлизации.

Работа данного алгоритма имеет и свои особенности, которые кому-то могут показаться недостатками. Так, если Вы загружаете данные в пустой блок FIFO, то на выходе блока они появятся только через время равное произведению числа строк в блоке и периода входной частоты. Требуется время, чтобы данные "провалились" со входа до выхода блока FIFO. С другой стороны, темп загрузки-выгрузки массива данных в/из FIFO равен двойному периоду входной частоты, что намного меньше времени полного прохождения данных со входа до выхода.

**Неисправности первой версии микросхемы:**

**1. Регистр состояния не доступен для чтения**

**2. Два выходных сигнала, подключаемых к передатчику 1586ИН2АУ1, требуют инверсии.**

#### **4 Версии микросхемы**

<b>Дата</b>	<b>Версия</b>	<b>Описание изменений</b>
28.12.2024	К0	Первая версия микросхемы

#### **5 Лист регистрации изменений**

<b>Дата</b>	<b>Версия</b>	<b>Описание изменений</b>
13.04.2026	1.0	Введено впервые