



МИКРОСХЕМА
ДВЕНАДЦАТИРАЗЯДНОГО АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ
С ПОСЛЕДОВАТЕЛЬНЫМ ИНТЕРФЕЙСОМ SPI

1583НВ025, 1583НВ025А

Краткое описание

Главный конструктор разработки

_____ А.В. Власов

«12» января 2016 г.

Оглавление

1	Общие положения.....	3
1.1	Описание микросхемы	3
1.2	Интерфейс.....	3
1.3	Описание сигналов	4
2	Основные параметры	6
2.1	Основные электрические параметры	6
2.2	Методы измерения электрических параметров	8
2.3	Таблица назначения выводов.....	8
2.4	Конструктивное исполнение микросхемы 1583НВ025.....	9
2.5	Конструктивное исполнение микросхемы 1583НВ025А.....	9
3	Указания по применению и эксплуатации.....	10
3.1	Типовая схема включения.....	10
3.2	Диаграмма состояний	12
3.3	Осциллограммы работы	13
4	Справочная информация.....	14
4.1	Условное графическое обозначение	14

1 Общие положения

1.1 Описание микросхемы

Микросхема представляет собой 12-разрядный аналого-цифровой преобразователь последовательного приближения. Микросхема 1583HB025 выпускается в корпусе H04.16-1B, микросхема 1583HB025A выпускается в корпусе 5119.16-A. Цоколевка микросхем идентична.

В состав АЦП входит: 12-разрядный ЦАП на R-2R матрице, компаратор, регистр последовательного приближения.

Опорное и измеряемое напряжение могут быть любой полярности, при этом их полярность относительно друг друга должна быть противоположной («опорное положительное, измеряемое отрицательное» или «опорное отрицательное, измеряемое положительное»). Данная модификация введена для микросхем с датой поставки не ранее мая 2018. Для микросхем, поставленных ранее этой даты предусматривался только вариант работы «опорное положительное, измеряемое отрицательное».

Если есть необходимость оцифровывать напряжение одинаковой полярности с опорным, то необходимо использовать схему включения с управляемым инвертором, которая приведена на рисунке 4.

Максимальная частота выборки АЦП: 70 кS/s при DNL не более 2 МЗР и 100 кS/s при DNL не более 6 МЗР.

Номер технических условий: АЕНВ.431320.206ТУ.

1.2 Интерфейс

Интерфейс последовательный «SPI». По фронту SCLK ведущий защелкивает данные, по спаду данные выдвигаются из регистра. Возможно каскадирование микросхем.

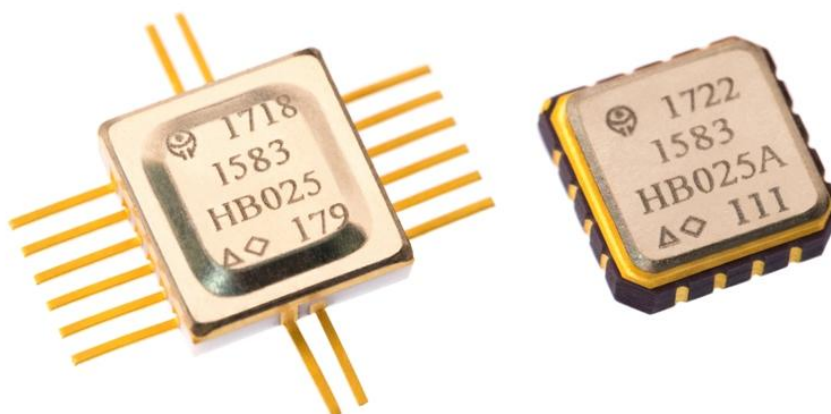


Рисунок 1. Фотография микросхем 1583HB025, 1583HB025A

1.3 Описание сигналов

EN (Enable)

Запуск однократного преобразования начинается при подаче на вход EN импульса высокого уровня или постоянного высокого уровня.

Повторная подача импульса на EN во время текущей оцифровки сбрасывает текущее преобразование и начинает новое.

Минимальная длительность импульса положительной полярности для запуска преобразования составляет 1 период тактовой частоты, задаваемой на входе CG.

Сигнал подтянут к «земле» через резистор 50 кОм.

INV (Invertor)

Данный сигнал может использоваться для построения схемы управляемого инвертора (приведена на рисунке 4). Обновление сигнала происходит спустя 8 периодов тактовой частоты после запуска преобразования.

В случае наличия на входе IN напряжения той же полярности, что и на входе U_{REF} , выход INV инвертируется.

В противном случае выход INV сохраняет свое предыдущее состояние.

DE (Delay)

Для установления в нужное состояние аналогового инвертора после установления сигнала INV и до начала оцифровки дается пауза, длительностью которой управляет сигнал DE.

При DE = 0 паузы нет (для микросхем с датой выпуска ранее 05.2018 = 12 периодов);

При DE = 1 пауза длится 24 периода тактовой частоты.

Если управляемый инвертор на входе АЦП установлен, то необходимо выбрать режим «с паузой» для того, чтобы дать время операционному усилителю на установление выходного напряжения в случае, если произошла инверсия входного сигнала.

Если сигнал подается напрямую или через повторитель на микросхему АЦП, то DE следует установить в ноль для получения максимальной частоты выборки.

DR (Data Ready)

Данный сигнал устанавливается в единицу после окончания оцифровки, что означает, что АЦП готов выдавать полученное значение. DR сбрасывается в ноль в момент появления низкого уровня на сигнале SS или при запуске новой оцифровки входом EN.

SS (Slave Select)

Данный сигнал означает для ведомой микросхемы АЦП, что ведущий готов принимать данные. Первый бит данных выставляется на сигнале MISO сразу после перевода сигнала SS в ноль. При SS=1 выдача данных по MISO блокируется (для микросхем с датой выпуска ранее 05.2018 выдача при SS=1 не блокировалась).

SCLK (Slave Clock)

Ведущий должен сформировать на входе SCLK тактовые импульсы для выдвигания данных из сдвигового регистра на выходе MISO.

MISO (Master In Slave Out)

На данном выходе формируются данные, выдаваемые АЦП. Данные выдаются при помощи сдвигового регистра, тактовый сигнал для которого формируется на SCLK. Данные выдаются младшими разрядами вперед: 12 бит кода АЦП, затем знаковый (отражает полярность сигнала на входе IN по типовой схеме включения на рисунке 4: «1» для полярности, совпадающей с U_{REF} , «0» для полярности, не совпадающей с U_{REF}), 3 холостых (для ведущих, которые принимают побайтно; передаются нулевыми), затем те, которые поступили на вход MOSI.

Сигнал MOSI переводится в Z-состояние при $SS=1$.

MOSI (Master Out Slave In)

Данный вход предназначен для каскадирования микросхем, использующих интерфейс SPI. После перевода SS в активное состояние (нулевое) и подачи тактового сигнала SCLK на данный вход могут подаваться данные с другого устройства SPI, которые будут возвращены через сдвиговый регистр на выходе MISO. Сдвиг регистра происходит по спаду сигнала SCLK.

Сигнал подтянут к «земле» через резистор 50 кОм.

CG (C Generator)

Частоту оцифровки можно задавать конденсатором, подключенным ко входу CG или внешним генератором (амплитудой от $U_{Н} \leq 0,4В$ до $U_{Н} \geq 3,3В$), подключенным к данному входу.

Задаваемая частота внутри микросхемы делится на 4 для работы оцифровки. Не рекомендуется подавать на этот вход меандр от 5В логики, предпочтительным является 3,3В логика.

UREF (U reference)

Опорное напряжение. Может иметь любую полярность. Амплитуда до 15 В.

IN (Input)

Измеряемое напряжение. Должно иметь противоположную к U_{REF} полярность.

GND (Ground)

Цифровая земля; должна быть соединена с цифровой землей остальной схемы.

AGND (Analog Ground)

Аналоговая земля – земля внутреннего компаратора и ЦАП. Должна трассироваться с особым вниманием к возможному появлению наводок. В конечном итоге, потенциал должен быть одинаков с GND.

Ucc

Напряжение питания микросхемы. Допустимые значения $5В \pm 10\%$.

$U_{1/2}$

Выход промежуточного питания микросхемы. Используется для фильтрации промежуточного питания путем подключения внешнего конденсатора.

Логические уровни

Уровень логической единицы на входах EN, SS, SCLK, MOSI от $U_{cc}/2$.

Вход DE подключается на GND или U_{cc} .

2 Основные параметры

2.1 Основные электрические параметры

Т а б л и ц а 1 – Электрические параметры микросхем при приёмке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозна- чение параметра	Норма параметра		Температура окружающей среды, °С
		не менее	не более	
Напряжение смещения нуля, мВ, при $U_{CC} = 5 \text{ В}; U_{REF} = 8,192 \text{ В}$	U_{IO}	–	6,0	25 ± 10 минус (60 ± 3); 125 ± 5
Ток утечки высокого уровня на входе, мкА, при $U_{CC} = 5,0 \text{ В}; U_I = 2,5 \text{ В}$	I_{IH}	–	3,0	25 ± 10
			15,0	минус (60 ± 3); 125 ± 5
			0,15	25 ± 10 минус (60 ± 3); 125 ± 5
Ток утечки высокого уровня на входах EN, MOSI, мА, при $U_{CC} = 5,5 \text{ В}; U_I = 5,5 \text{ В}$	I_{IH}	–	0,3	25 ± 10 минус (60 ± 3); 125 ± 5
Ток утечки высокого уровня по входу CG, мА, при $U_{CC} = 5,0 \text{ В}; U_{IH} = 5,0 \text{ В}$			0,3	
Ток утечки низкого уровня на входе, мкА, при $U_{CC} = 5,0 \text{ В}; U_I = 0 \text{ В}$	I_{IL}	– 3,0	–	25 ± 10
		– 15,0		минус (60 ± 3); 125 ± 5
Выходной ток высокого уровня на выходах, мА, при $U_{CC} = 4,5 \text{ В}; U_O = 4,1 \text{ В}$	I_{OH}	–	– 0,8	25 ± 10 минус (60 ± 3); 125 ± 5
Выходной ток низкого уровня на выходах, мА, при $U_{CC} = 5,5 \text{ В}; U_O = 0,4 \text{ В}$	I_{OL}	2,0	–	
Ток потребления, мА, при $U_{CC} = 5 \text{ В};$ $U_{REF} = 8,192 \text{ В}$	I_{CC}	–	7,0	
Погрешность полной шкалы, %, при $U_{CC} = 5 \text{ В}, U_{REF} = 8,192 \text{ В}$	δ_{FS}	– 0,05	0,05	
Нелинейность, % от полной шкалы, при $U_{CC} = 5 \text{ В}; U_{REF} = 8,192 \text{ В}$	δ_L	– 0,05	0,05	
Дифференциальная нелинейность, % от полной шкалы, при $U_{CC} = 5 \text{ В}; U_{REF} = 8,192 \text{ В}$	δ_{LD}	– 0,05	0,05	
Число разрядов АЦП	b	12	–	

Т а б л и ц а 2 – Предельно допустимые и предельные электрические режимы эксплуатации микросхем

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания по источнику питания «+5 В», В	U_{CC}	4,5	5,5	4,0	6,0
Входное напряжение высокого уровня, В, - для входов EN, SS, SCLK, MOSI;	U_{IH}	$U_{CC}/2$	$U_{CC} + 0,5$	-	-
- для входа DE		$U_{CC} - 0,8$		-	-
Входное напряжение низкого уровня, В	U_{IL}	0	0,4	-	-
Диапазон входного сигнала, В	U_I	$-U_{REF}$	U_{REF}	-	-
Диапазон опорного напряжения, В	U_{REF}	-15,0	15,0	-20,0	20,0
Выходное напряжение низкого уровня, В	U_{OL}	0	0,4	-	-
Выходное напряжение высокого уровня, В	U_{OH}	$U_{CC} - 0,4$	U_{CC}	-	-
Системная частота, МГц	F_{IM}	-	5,0*	-	7,5**
Частота входного сигнала по входу SCLK, МГц	F_{SPI}	-	8,0*	-	-
Время преобразования, тактов F_{IM} мкс	t_c	-	60	-	60
			12,0 мкс при $F_{IM}=5,0$ МГц		8,0 мкс при $F_{IM}=7,5$ МГц
Время выдачи, тактов F_{SPI} мкс	t_T	-	16	-	-
			2,0 мкс при $F_{SPI}=8$ МГц		
<p>П р и м е ч а н и е:</p> <p>* Для микросхем с датой поставки ранее 02.2018 г. F_{IM} не более 2,5 МГц, F_{SPI} не более 5,0 МГц. Для микросхем с датой поставки ранее 08.2020 г. F_{IM} не более 4,0 МГц.</p> <p>** В предельном режиме допускается подача входного тактового сигнала генератора до 7,5 МГц, при этом DNL может увеличиться до 6 единиц МЗР. Предельная частота выборки в этом режиме составит 100 kS/s.</p>					

2.2 Методы измерения электрических параметров

Измерение нелинейности (δ_L) проводят путём построения оптимальной передаточной характеристики методом наименьших квадратов.

Измерение дифференциальной нелинейности (δ_{LD}) проводят гистограммным методом.

2.3 Таблица назначения выводов

Т а б л и ц а 3 – Таблица назначения выводов микросхем 1583НВ025, 1583НВ025А

Номер вывода	Обозначение вывода	Тип	Назначение вывода
1	GND	питание	Цифровая «земля» (0 В)
2	SCLK	вход	Тактовый сигнал от ведущего SPI
3	DE	вход	Сигнал настройки задержки преобразования
4	IN	а. вход	Измеряемый сигнал
5	UREF	а. вход	Опорное напряжение
6	$U_{1/2}$	питание	Выход промежуточного питания
7	AGND	питание	Аналоговая «земля»
8	–	–	Корпус
9	U_{cc}	питание	Напряжение питания +5 В
10	MOSI	вход	Данные от другого устройства SPI. Подтянут к «земле».
11	DR	выход	Сигнал готовности к выдаче данных оцифровки
12	MISO	выход	Сигнал данных
13	INV	выход	Сигнал управления инвертором
14	SS	вход	Сигнал выбора ведомого SPI. Активный «0».
15	CG	вход	Вывод RC-генератора оцифровки
16	EN	вход	Сигнал запуска преобразования (по фронту лог. «1»). Подтянут к «земле».

2.4 Конструктивное исполнение микросхемы 1583НВ025

Микросхемы 1583НВ025 выполнены в корпусе Н04.16-1В.

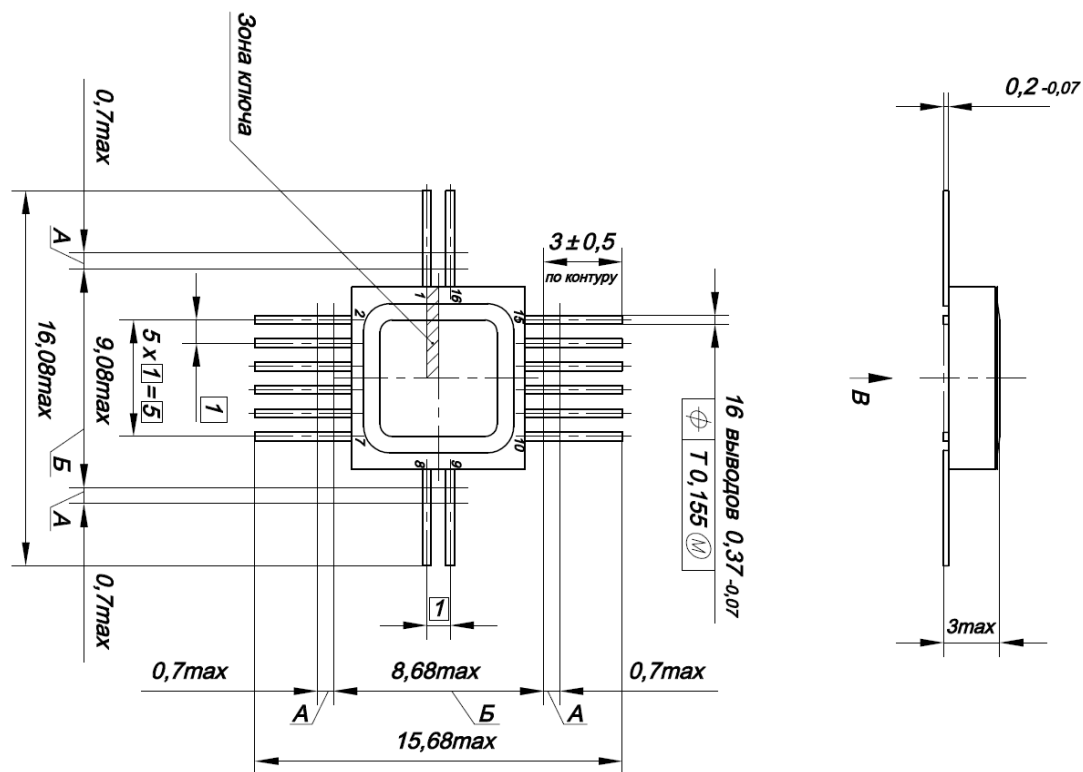
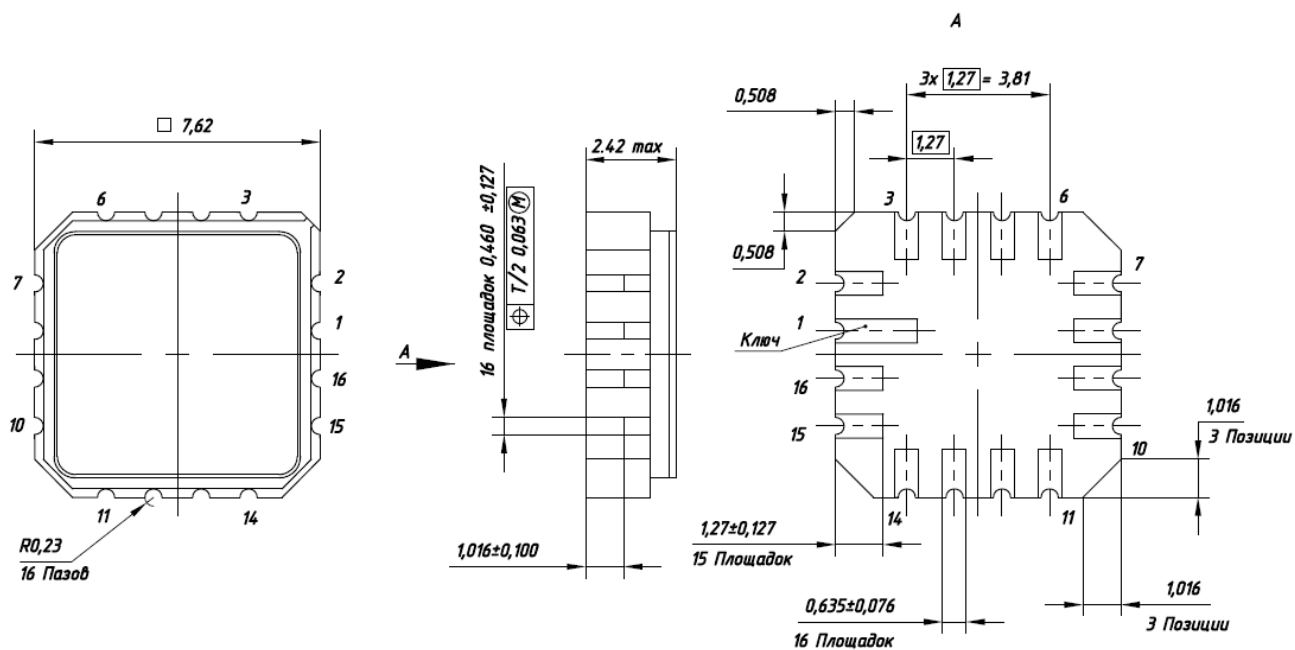


Рисунок 2. Габаритный чертеж корпуса Н04.16-1В

2.5 Конструктивное исполнение микросхемы 1583НВ025А

Микросхемы 1583НВ025А выполнены в корпусе 5119.16-А.

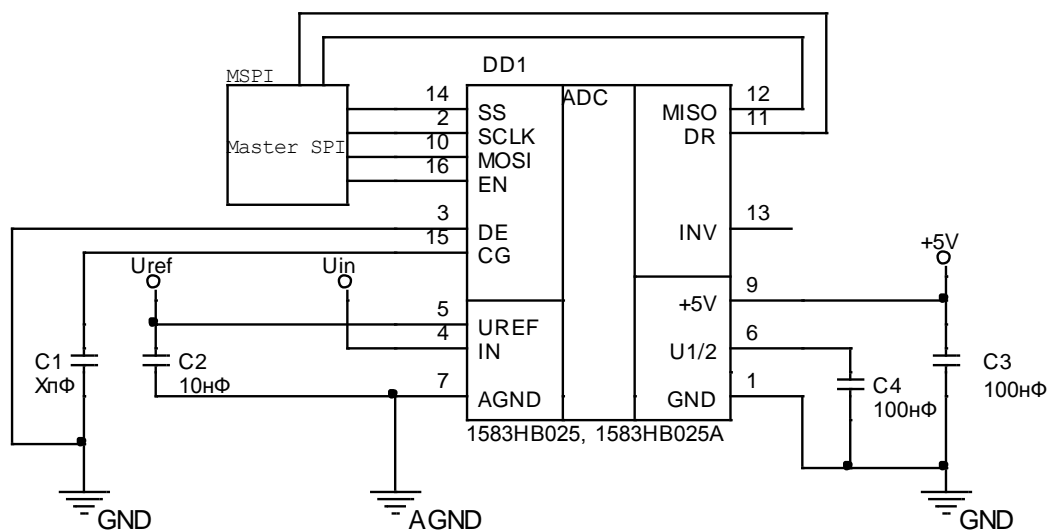


1. Нумерация выводных площадок показана условно

Рисунок 2.1. Габаритный чертеж корпуса 5119.16-А

3 Указания по применению и эксплуатации

3.1 Типовая схема включения



DD1 – микросхема;

MSPI – Ведущий SPI (контроллер, ПЛИС);

C1 – конденсатор задания системной частоты;

C2 – конденсатор, фильтрующий опорное напряжение;

C3, C4 – конденсаторы, фильтрующие напряжение питания;

GND – цифровая «земля»;

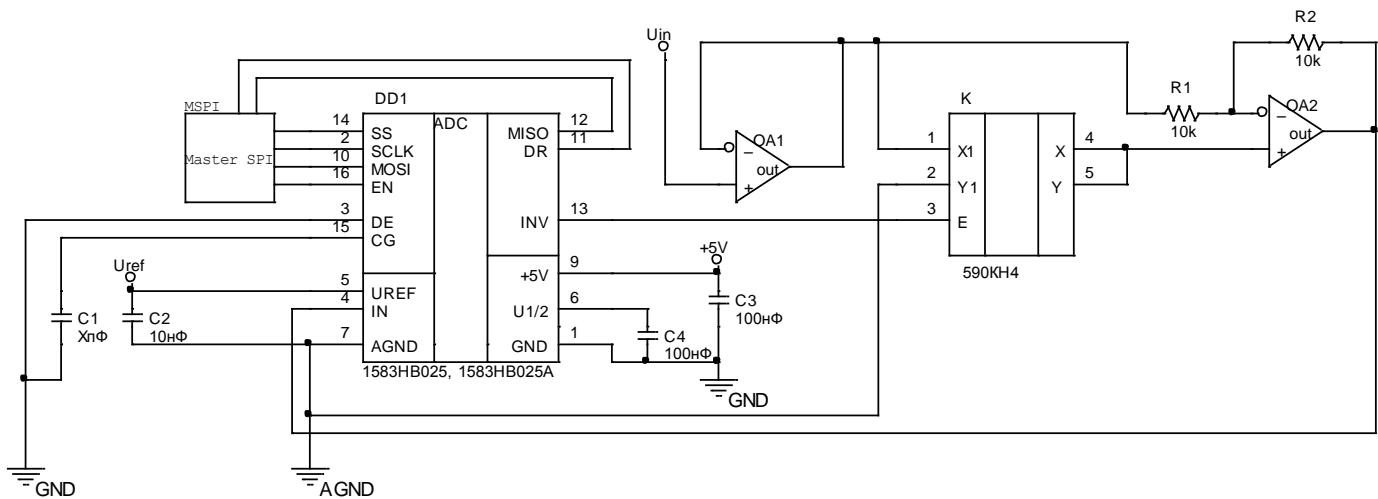
AGND – аналоговая «земля» («земля» внутреннего ЦАП).

Примечания:

1. Цифровая «земля» GND и аналоговая «земля» AGND в конечном итоге должны быть соединены. Различие дается для того, чтобы аналоговая «земля» трассировалась по кратчайшему пути к источнику, и данная трасса не располагалась рядом с высокоскоростными цифровыми сигналами и другими источниками помех.
2. Если на вашем устройстве не установлены электролитические конденсаторы, то параллельно с C3 ставится конденсатор емкостью не менее 33 мкФ.
3. Конденсатор C1 может подбираться пользователем индивидуально с учетом задаваемой им частоты и имеющихся паразитных емкостей на плате. Диапазон от 2,0 пФ до 27,0 пФ.

Для увеличения радиационной стойкости и стабилизации времени преобразования различных образцов целесообразно задавать на этот вход частоту с цифровых логических схем, предпочтительно с 3,3В логикой.

Рисунок 3. Типовая схема включения MCX 1583HB025, 1583HB025A



- DD1 – микросхема;
 MSPI – ведущий SPI (контроллер, ПЛИС);
 OA1, OA2 – операционные усилители;
 К – ключ (например, 590KH4);
 C1 – конденсатор задания системной частоты;
 C2 – конденсатор, фильтрующий опорное напряжение;
 C3, C4 – конденсаторы, фильтрующие напряжение питания;
 R1, R2 – высокоточные резисторы 10кОм, погрешность 0,05%.
 GND – цифровая «земля»;
 AGND – аналоговая «земля» («земля» внутреннего ЦАП).

Примечание: данная схема реализована в опытной микросборке 2015HB011 в корпусе 151.15-8. Подробную информацию уточняйте по e-mail: support@npofizika.ru

Рисунок 4. Типовая схема включения MCX 1583HB025, 1583HB025A при работе на биполярный диапазон измеряемых напряжений

3.2 Диаграмма состояний

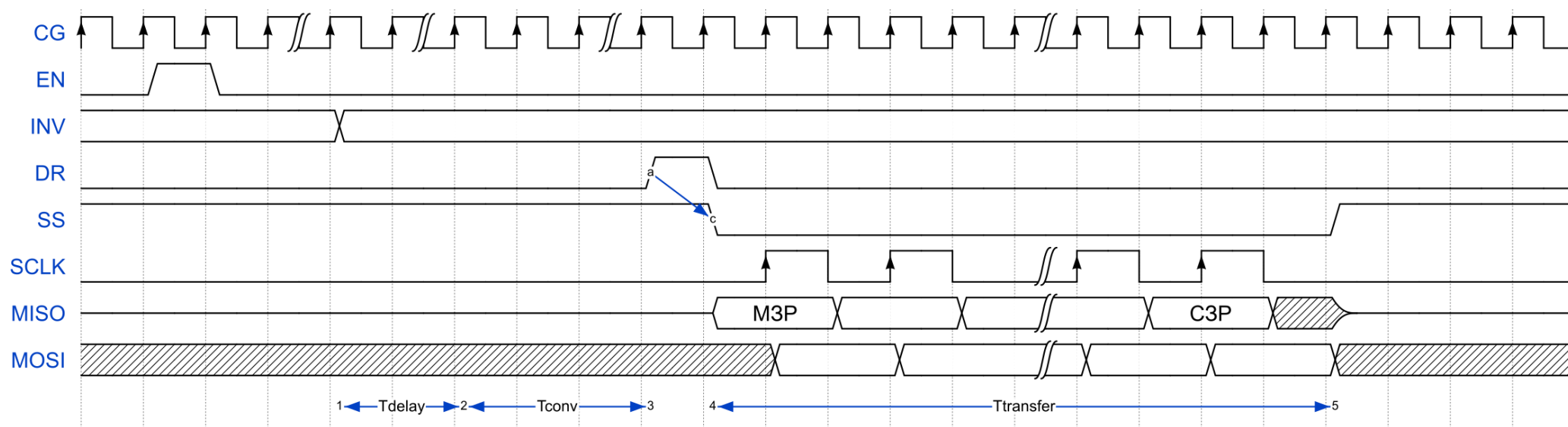


Рисунок 5. Диаграмма состояний микросхемы

3.3 Осциллограммы работы

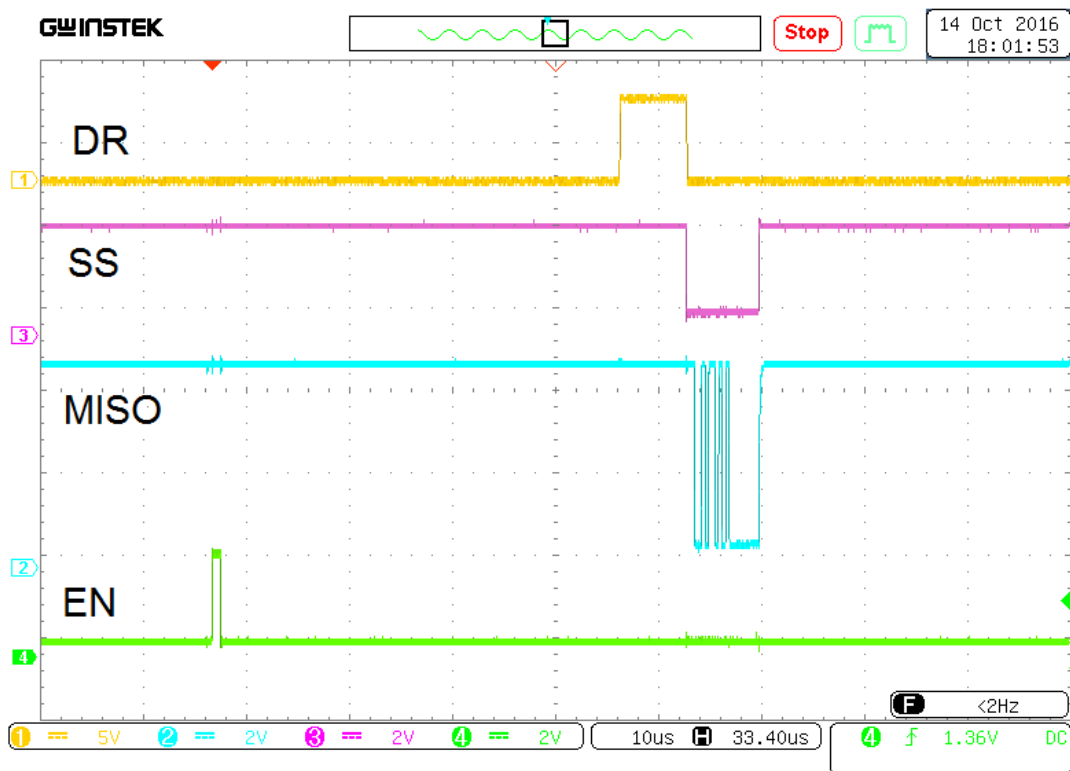


Рисунок 6. Осциллограмма работы микросхемы: старт преобразования по EN, выдача готовности сигналом DR, перевод в активное состояние SS и выдача данных по MISO (SCLK показан на рисунке 7).

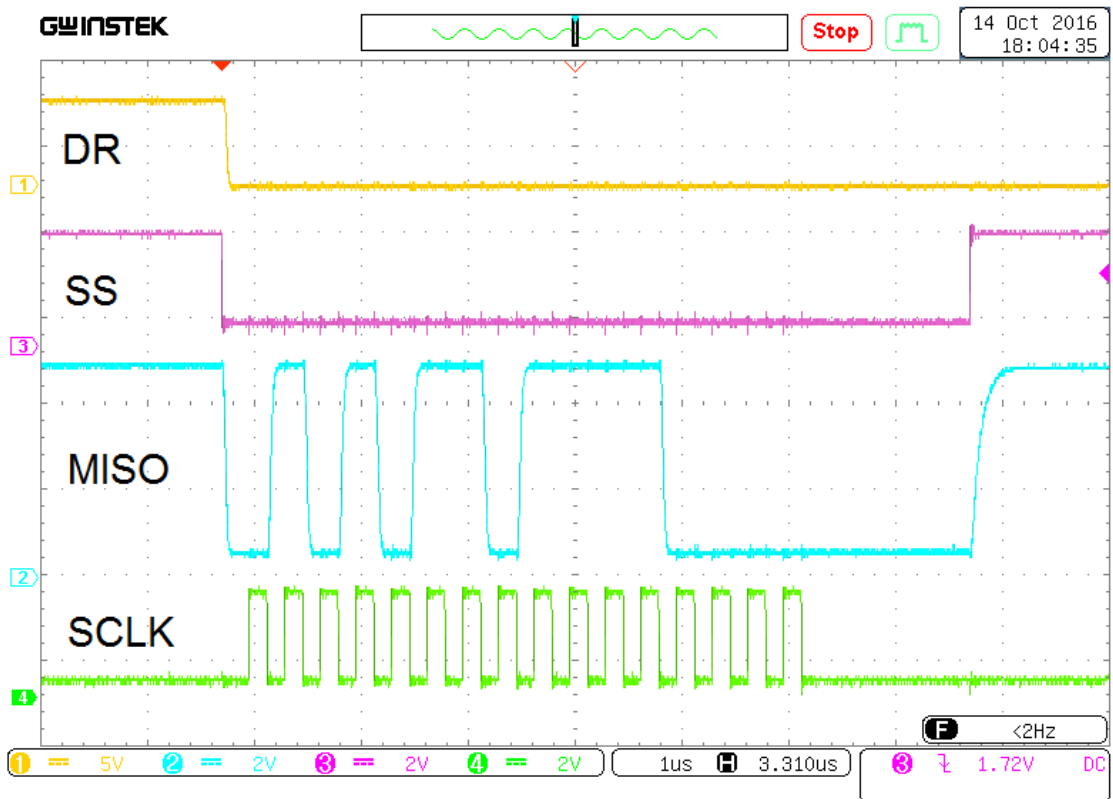


Рисунок 7. Осциллограмма обмена по SPI.
(MISO подтянут к питанию внешним резистором для индикации наличия Z-состояния при SS=1)

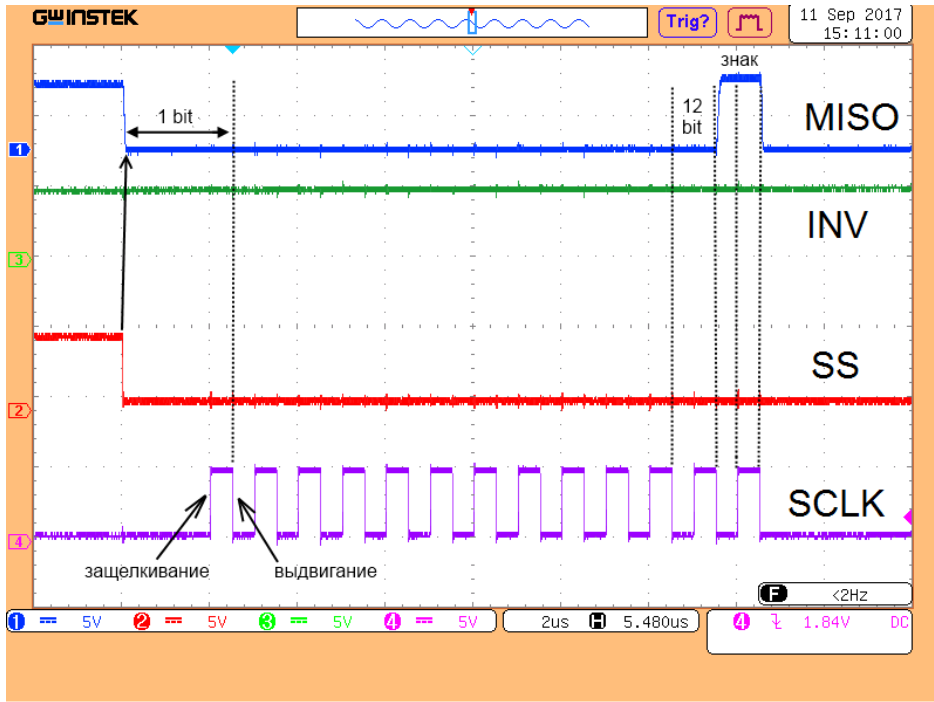


Рисунок 8. Осциллограмма сигналов при подаче на вход *IN* напряжения одинаковой полярности с *UREF* (сигнал *INV* на данной осциллограмме может быть как лог. «0», так и лог. «1» – оба варианта правильные в соответствии с описанием сигналов, п. 1.3).

4 Справочная информация

4.1 Условное графическое обозначение

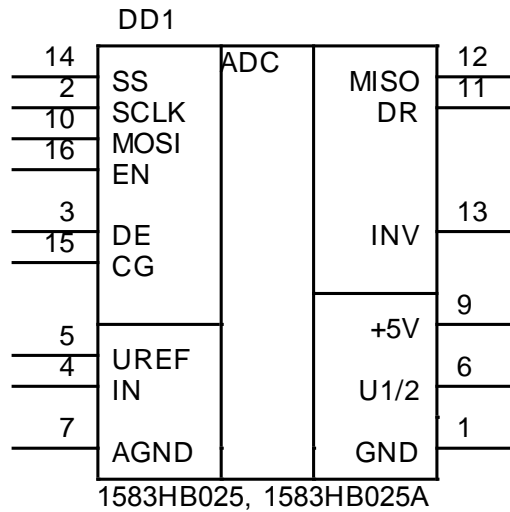


Рисунок 6. Условное графическое обозначение MCX 1583HB025, 1583HB025A

4.2 Предоставление образцов

Бесплатно предоставляются образцы, выполненные в корпусе по технологии «кристалл на плате» и совпадающем по габаритным размерам с корпусом 5119.16-А.

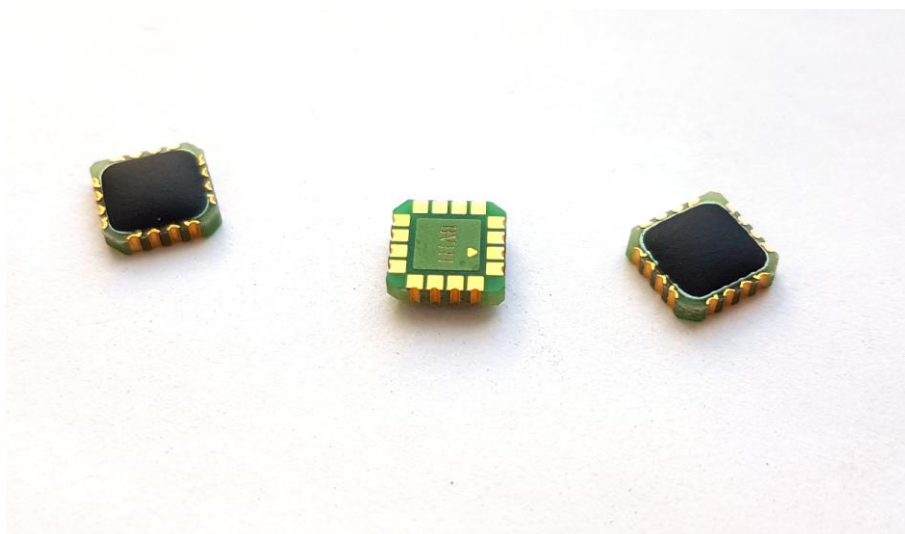


Рисунок 7. Внешний вид бесплатных образцов

4.3 Лист регистрации изменений

Дата	Изменение
01.05.2018	<p><i>В связи с выходом новой версии кристалла:</i></p> <ol style="list-style-type: none"><i>Исправлена ошибка отсутствия блокирования выдачи данных по MISO при SS=1.</i><i>Тактовая частота увеличена до 4,0 МГц.</i><i>Введена возможность подачи на вход измеряемого напряжения сигнала положительной полярности при сигнале отрицательной полярности на входе опорного напряжения.</i><i>DE=0 устанавливает отсутствие паузы от момента определения знака до начала оцифровки.</i>
22.11.2018	<ol style="list-style-type: none"><i>Внесена информация о микросборке 2015HB011</i><i>Внесена информация о поставке бесплатных образцов в корпусе по технологии «кристалл на плате»</i><i>Внесена информация о рекомендуемой амплитуде сигнала CG.</i>
20.08.2020	<ol style="list-style-type: none"><i>Внесена информация об увеличении быстродействия микросхемы в связи с выпуском новой версии кристалла (тактовая частота увеличена до 5,0 МГц в предельно-допустимом режиме и до 7,5МГц в предельном режиме).</i>