



Микросхема одинарного
передатчика–контроллера протокола канала ARINC-429 со встроенным блоком памяти
типа FIFO (First Input – First Output) на 15 слов

1584БЦ1У5-0005

Техническое описание

Главный конструктор разработки

_____ А.В. Розе

« _____ » _____ 2026 г.

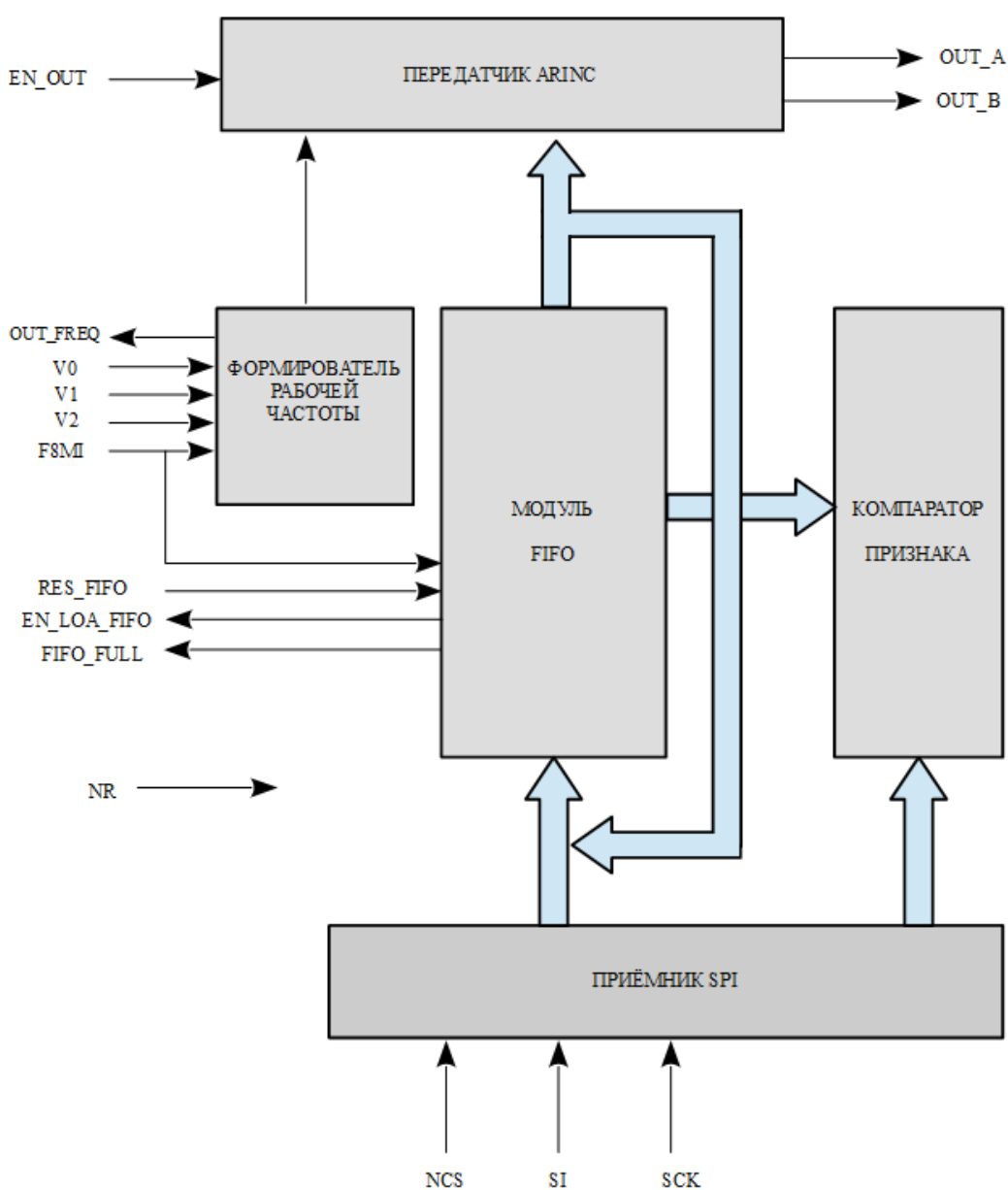
1 Общая информация об устройстве

1.1 Описание функционирования

Микросхема представляет собой одинарный передатчик–контроллер протокола канала ARINC-429 со встроенным блоком памяти типа FIFO (First Input – First Output) на 15 слов. Допустимые рабочие частоты приемника: 12,5 Кбит/с, 50 Кбит/с, 100 Кбит/с, 250 Кбит, 500 Кбит, 1 Мбит. Интерфейс взаимодействия с подсистемой пользователя – SPI (Serial Peripheral Interface).

Напряжение питания 3,3 В.

1.2 Структурная схема микросхемы



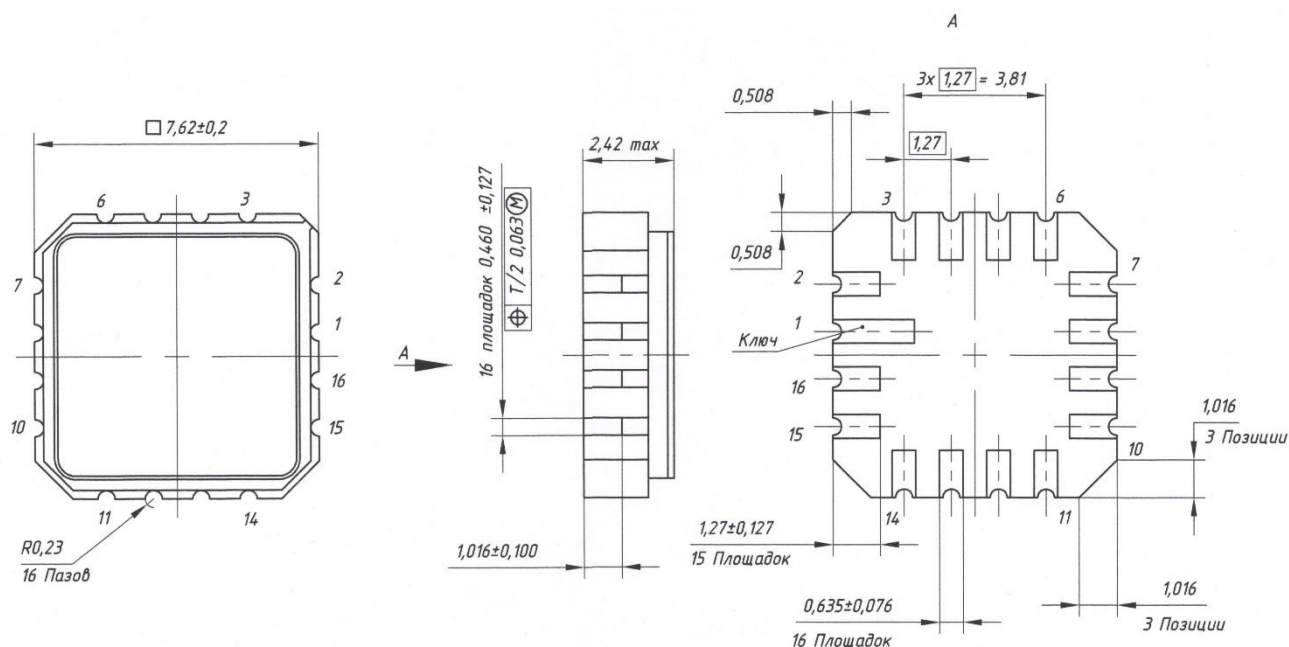


Рисунок 1. Габаритный чертеж микросхемы 1584БЦ1У5-0005 в корпусе 5119.16-А.

Т а б л и ц а 1 – Электрические параметры микросхемы 1584БЦ1У5-0005 при приемке и поставке

Наименование параметра, буквенное обозначение, единица измерения, режим измерения	Буквенное обозначение параметра	Норма		Температура окружающей среды, °С
		не менее	не более	
Выходное напряжение высокого уровня, В, при: $U_{CC}=3,1$ В; $U_{IH}=2,8$ В; $U_{IL}=0,3$ В; $I_{OH}=-0,8$; $-0,5$ мА	U_{OH}	2,8	—	минус (60±3); 25±10; 125±5
Выходное напряжение низкого уровня, В, при: $U_{CC}=3,5$ В; $U_{IH}=3,1$ В; $U_{IL}=0,8$ В; $I_{OL}=2,0$ мА	U_{OL}	—	0,3	
Ток утечки высокого уровня на входе, мкА, при: $U_{IH}=3,5$ В; $U_{CC}=3,5$ В; $U_{IL}=0,4$ В	I_{ILH}	—	3,0	25±10
			15,0	минус (60±3); 125±5
			30,0*	
Ток утечки низкого уровня на входе, мкА, при: $U_{IH}=3,1$ В; $U_{IL}=0$ В; $U_{CC}=3,5$ В	I_{ILL}	-3,0	—	25±10
		-15,0		минус (60±3); 125±5
		-30,0*		
Ток потребления, мкА, $U_{IH}=3,1$; $3,5$ В; $U_{CC}=3,5$ В	I_{CC}	—	500	25±10
			2500	минус (60±3); 125±5
			5000*	
Выходной ток высокого уровня, мА, при: $U_{IL}=0$ В; $U_{IH}=3,1$ В; $U_{OH}=2,8$ В; $U_{CC}=3,1$ В	I_{OH}	—	-0,8	минус (60±3); 25±10; 125±5
Выходной ток низкого уровня, мА, при: $U_{IL}=0$ В; $U_{IH}=3,5$ В; $U_{OL}=0,3$ В; $U_{CC}=3,5$ В	I_{OL}	8,0	—	минус (60±3); 25±10; 125±5
*После воздействия специальных факторов.				

Т а б л и ц а 2 – Предельно допустимые и предельные электрические режимы эксплуатации микросхемы

Наименование параметра, единица измерения	Буквен- ное обозна- чение	Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,1	3,5	-0,2	5,5
Входное напряжение, В	U_I	-0,2	$(U_{CC}+0,2)$, но не более 5,5	-0,2	$(U_{CC}+0,2)$, но не более 5,5
Выходное напряжение покоя, В	U_{OQ}	-0,2	$(U_{CC}+0,2)$, но не более 5,5	-0,2	$(U_{CC}+0,2)$, но не более 5,5
Входное напряжение высокого уровня, В	U_{IH}	$U_{CC}-0,6$	$(U_{CC}+0,2)$, но не более 5,5	–	–
Входное напряжение низкого уровня, В	U_{IL}	0	0,6	–	–
Выходной ток низкого уровня, мА	I_{OL}	–	8,0	–	–
Выходной ток высокого уровня, мА	I_{OH}	-0,8	–	–	–
Суммарная емкость нагрузки при максимальной частоте функционирования, пФ	$C_{L\Sigma}$	–	2000	–	2500
Емкость нагрузки, пФ	C_L	–	100	–	200
Рассеиваемая мощность, Вт	P_{tot}	–	1,4	–	1,7
<p>П р и м е ч а н и е – В предельном режиме допускается импульсное превышение напряжения входного сигнала над напряжением питания (положительное) и относительно вывода «общий» (отрицательное) амплитудой 0,7 В (с учетом постоянной составляющей) длительностью не более 200 нс и скважностью не менее 5.</p>					

Т а б л и ц а 3 – Назначение выводов микросхемы 1584БЦ1У5-0005

Номер вывода	Обозначение вывода	Назначение вывода
1	NCS	Входной сигнал протокола SPI выборки кристалла
2	NR	Вход начального сброса схемы
3	RES_FIFO	Входной сигнал сброса содержимого блока FIFO
4	SI	Входной сигнал протокола SPI входных данных
5	SCK	Входной сигнал протокола SPI синхронизации обмена
6	FIFO_FULL	Выходной сигнал индикации, что FIFO загружен полностью и больше не может принимать слова для передачи
7	V2	Входной сигнал программирования рабочей частоты
8	V1	Входной сигнал программирования рабочей частоты
9	GND	Общий
10	V0	Входной сигнал программирования рабочей частоты
11	EN_LOA_FIFO	Выходной сигнал разрешения загрузки слова в FIFO
12	OUT_A	Выходной сигнал ARINC для передачи "1" бита
13	OUT_B	Выходной сигнал ARINC для передачи "0" бита
14	EN_OUT	Сигнал запрета выходов передатчика
15	F8MI	Входной сигнал системной частоты 8 МГц
16	VCC	Питание +3,3В

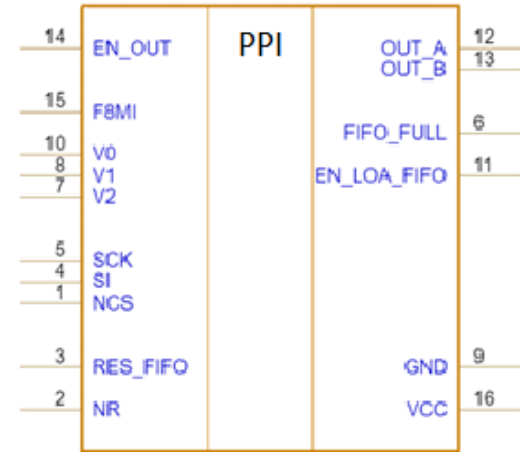


Рисунок 2. УГО микросхемы 1584БЦ1У5-0005

1.3 Описание алгоритма функционирования микросхемы

Данная микросхема была спроектирована для реализации идеи обеспечения непрерывного потока данных в канале ARINC из слов, загруженных в буфер FIFO. Логически FIFO можно представить как некую виртуальную "вертикальную" структуру, состоящую из 32-х битных линеек ячеек памяти, в которой загрузка FIFO осуществляется в нижнюю (входную) линейку, а его выгрузка из верхней (выходной). Слова передаются в передатчик ARINC в том порядке, в котором они хранятся в FIFO. Информация в FIFO перемещается от нижних линеек к верхним всякий раз, когда происходит передача слова из FIFO в передатчик. Ключевой особенностью данной микросхемы является то, что вышедшее из FIFO слово не теряется, а поступает на его вход и встаёт в конец очереди на повторную передачу. Таким образом очередь становится бесконечной и, если

никакой новой информации через SPI не поступает, в цикле будут передаваться в канал ARINC слова, хранящиеся в FIFO микросхемы.

При приеме нового слова через SPI, его поле признака, перед записью в FIFO, сравнивается с признаками всех слов, уже хранящихся в FIFO, и в случае совпадения данное слово внутри FIFO уничтожается, как устаревшее, а полученное загружается в нижнюю линейку. Порядок выдачи слов в ARINC, естественно, меняется.

Такой алгоритм существенно упрощает работу контроллера периферийных устройств. Ему нет необходимости перегружать через SPI весь массив данных. Достаточно передать только те данные, которые претерпели изменения.

Подобный алгоритм работы помимо достоинств имеет и ограничения, о которых конструктор аппаратуры обязательно должен знать.

Первое ограничение.

Как уже было сказано ранее, при записи в FIFO новое слово записывается в конец очереди, а его устаревшая версия изымается из самой очереди. Таким образом, если обновление какого-либо слова происходит чаще, чем выдача ARINC всех слов в очереди, то слово с данным признаком может никогда не дойти до начала очереди и не передаться в ARINC.

Второе ограничение.

В данной версии микросхемы FIFO имеет размер 15 слов с уникальными признаками. Для нормального функционирования одна линейка обязательно должна быть свободной. Если записать 15 слов, система блокируется, появляется сигнал FIFO_FULL и единственный выход – сбросить FIFO по сигналу RES_FIFO.

Перечисленные ограничения определяют основную область применения данной микросхемы – небольшие медленные системы сбора данных с числом признаков не более 14.

При появлении запроса на большее количество обрабатываемых признаков, он может быть рассмотрен в индивидуальном порядке.

1.4 Описание работы блоков

Микросхема 1584БЦ1У5-0005 функционально состоит из пяти блоков:

- передатчика канала ARINC;
- блока формирователя рабочей частоты;
- модуля FIFO;
- компаратора полей признаков в словах, загруженных для передачи;
- блока приемника канала SPI.

1.4.1 Передатчик ARINC

Передатчик ARINC имеет в своём составе 32-х битный сдвиговый регистр с параллельной загрузкой данных, блок кодирования выходного сигнала и формирователь меж словного интервала 4Т. Закончив передачу текущего слова, передатчик считывает следующее слово из FIFO и после формирования меж словного промежутка приступает к следующей передаче. Если требуется полностью отключиться от линии ARINC, то подача на вход EN_OUT логической "1" вызовет мгновенный переход выходов OUT_A и OUT_B в состояние "11", что воспринимается драйвером физического канала, как требование перевести свои выходы в состояние высокого импеданса "zz". Нужно понимать, что данный вход оказывает влияние только на выходы и все внутренние процессы продолжатся. Для полной остановки работы следует сбросить микросхему импульсным сигналом логического "0" на выводе NR, данные в FIFO, при этом, будут потеряны.

1.4.2 Формирователь рабочей частоты

Формирователь рабочей частоты представляет собой простой управляемый делитель входной рабочей частоты 8МГц. В зависимости от кода, заданного на внешних выводах V0-V2, он формирует сетку частот в соответствии с таблицей 4.

V0	V1	V2	
0	0	0	F_1МН
1	0	0	F_500КН
0	1	0	F_250КН
1	1	0	F_100КН
0	0	1	F_50КН
1	0	1	F_12.5КН

Таблица 4

Полученную частоту можно проконтролировать на выходе OUT_FREQ. Частота на этом выводе будет в четыре раза выше рабочей.

1.4.3 Модуль FIFO

Модуль FIFO построен из 15-ти 32-х битных линеек запоминающих элементов. Модуль имеет одну входную и одну выходную линейки. Остальные внутренние. Все линейки объединены в последовательную структуру, где входы каждой последующей линейки соединяются с выходами предыдущей. Каждая линейка имеет триггер-флажок занятости. Если производится запись в эту линейку – флажок устанавливается, если чтение, то сбрасывается. Запись в линейку может быть произведена только в том случае, если флажок сброшен. В рабочем режиме в модуле происходит

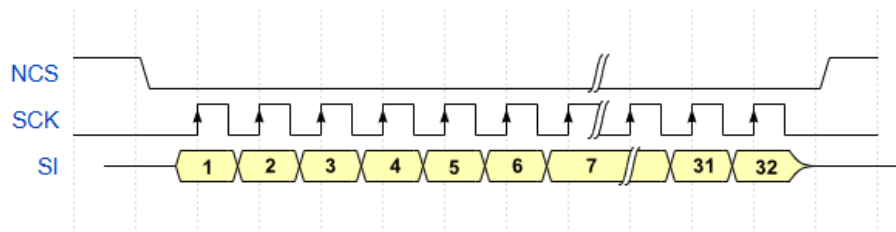
постоянный процесс перемещения слов от нижних ячеек к верхним. Процесс происходит с периодом равным периоду системной частоты, т.е. 125нс. Таким образом реализуется алгоритм первый вошёл – первый вышел. Запись в нижнюю линейку осуществляется, когда её флажок занятости сброшен и после записи он устанавливается. Чтение для передачи в канал ARINC происходит из верхней линейки и её флажок занятости в этот момент должен быть установлен, после завершения чтения он сбрасывается.

1.4.4 Компаратор признака

Компаратор признака состоит из набора 8-ми битных модулей сравнения поля признака каждой ячейки и 8-ми битного кода, принятого по SPI. Модулей сравнения также 15, и они расположены возле каждой линейки слова в FIFO. Основное предназначение – выявить наличие внутри FIFO слова с таким же признаком, что и у принятого по SPI. Если результат сравнения положительный, то одновременно с записью слова в FIFO у линейки с данным словом сбрасывается признак занятости. Таким образом слово внутри FIFO аннулируется, как устаревшее. Благодаря этому, в канал ARIC передаётся только актуальная информация.

1.4.5 Приёмник SPI

Протокол SPI хорошо стандартизован и здесь нет никаких особенностей. Приёмник SPI представляет 32-х битный сдвиговый регистр, осуществляющий приём бита по фронту строб-сигнала SCK. Временная диаграмма приведена на рисунке xxxx



Приём начинается всегда с выставления NCS низкого уровня и заканчивается возвращением NCS к высокому уровню.

В SPI принято передавать данные старшими разрядами вперед, поэтому признак передается 25-32 битах. Слова принимаются как есть, без проверки чётности и количества передаваемых бит. Если к моменту завершения приема сигнал EN_LOA_FIFO активен, то данные сразу же будут переписаны из регистра SPI в FIFO. В противном случае они будут храниться в SPI до момента освобождения нижней линейки.