



МИКРОСХЕМА

ПЕРЕДАТЧИКА – КОНТРОЛЛЕРА ПРОТОКОЛА КАНАЛА ARINC-429

Н1582ВЖЗБ-0305, 1582ВЖЗГ-0305

Техническое описание

Главный конструктор разработки

_____ А.В. Розе

«12» июля 2023 г.

2023

Оглавление

| | | |
|----------|---|-----------|
| 1 | Общие положения | 3 |
| 1.1 | Описание микросхемы..... | 3 |
| 1.2 | Описание сигналов..... | 3 |
| 2 | Основные параметры..... | 4 |
| 2.1 | Основные электрические параметры | 4 |
| 2.2 | Структурная схема микросхемы | 5 |
| 2.3 | Алгоритм работы..... | 6 |
| 2.4 | Назначение выводов..... | 7 |
| 2.5 | Типовая схема включения | 8 |
| 2.6 | Конструктивное исполнение микросхемы..... | 10 |
| 3 | Справочная информация | 11 |
| 3.1 | Лист регистрации изменений..... | 11 |

1 Общие положения

1.1 Описание микросхемы

Настоящее техническое описание (ТО) распространяется на микросхемы интегральные Н1582ВЖЗБ-0305, 1582ВЖЗГ-0305 (микросхемы), разработанные и изготовленные по КМОП-технологии на основе базового матричного кристалла (БМК), с числом эквивалентных вентилях 3000.

Функционально микросхема представляет собой передатчик контроллера канала ARINC-429 со встроенным регистровым стекком типа FIFO на 16 ячеек 32-х разрядных слов. Рабочая частота передатчика 12,5, 50 и 100 кбит/с. Интерфейс взаимодействия с подсистемой пользователя – SPI плюс сигналы сопровождения. Встроенного передатчика физического уровня нет.

Микросхема имеет напряжение питания $U_{cc} = 5В \pm 10\%$, при этом все входные сигналы поддерживают работу с уровнем логической единицы от $U_{cc}/2$.

1.2 Описание сигналов

Микросхема имеет следующие внешние выводы:

MOSI - вход SPI,

NCS - выбор кристалла SPI, активный низкий уровень,

SCK - синхросигнал канала SPI, импульсы положительной полярности, чтение бита по фронту,

INIT_NR - сигнал начального сброса, активный низкий уровень, имеет подтягивающий резистор к напряжению источника питания,

EN_WR- сигнал запрета работы передатчика, активный низкий уровень, имеет подтягивающий резистор к напряжению источника питания. Данный сигнал блокирует внутренний делитель рабочей частоты и сбрасывает счетчик передаваемых бит,

EN_OUT - сигнал запрета выхода ARINC, устанавливает выводы AR_OUT_A, AR_OUT_B при низком уровне на входе в состояние высокого уровня, имеет подтягивающий резистор к напряжению источника питания (при подключении передатчика 1586ИН2АУ1 это эквивалентно переводу выходов передатчика в Z-состояние).

F_AR1, F_AR2 - выбор рабочей частоты ARINC. В данной микросхеме можно выбрать три скорости работы канала ARINC – 12,5, 50, 100 кбит/с. Выводы имеют подтяжку к "земле". Назначение бит приведено в таблице 5.

F8M1, F8M0 - выводы для подключения кварцевого резонатора 8МГц.

RES_FIFO - очистка FIFO. По положительному импульсу на этом выводе FIFO сбрасывается.

AR_OUT_A - выходной сигнал ARINC для передачи "1" бит.

AR_OUT_B - выходной сигнал ARINC для передачи "0" бит.

FIFO_FULL - индикатор полного заполнения FIFO. При высоком уровне сигнала на этом выводе, очередное, принятое по SPI слово не может быть выдано в FIFO и останется в буферном регистре до появления свободного места. Данное слово может быть переписано следующим, принятым по SPI словом.

FIFO_EMPTY - индикатор того, что FIFO пуст. Активный высокий уровень сигнала.

OUT_FREQ - индикатор действующей рабочей частоты. Сигнал отсутствует, если передатчик выключен.

EN_LOA_FIFO - сигнал активен, когда верхняя ячейка FIFO свободна.

2 Основные параметры

2.1 Основные электрические параметры

Т а б л и ц а 1 – Значения электрических параметров микросхем при приемке (поставке), в течение наработки до отказа и срока сохраняемости

| Наименование параметра, единица измерения, режим измерения | Буквенное обозначение параметра | Норма | | Температура окружающей среды, °С |
|---|---------------------------------------|-------------|-------------|--|
| | | не менее | не более | |
| Выходной ток высокого уровня, мА, при $U_{CC} = 4,5 \text{ В}; U_{OH} = 4,1 \text{ В}$ | I_{OH} | – | –0,8 | минус (60±3); 25±10; 125±5 |
| Выходной ток низкого уровня, мА, при $U_{CC} = 5,5 \text{ В}; U_{OL} = 0,4 \text{ В}$ | I_{OL} | 2,0 | – | |
| Ток утечки высокого уровня на входе, мкА, при $U_{CC} = 5,5 \text{ В}; U_{IH} = 5,5 \text{ В}; U_{IL} = 0,4 \text{ В}$ | I_{IH} | – | 3,0 | 25±10 |
| | | | 15,0 | минус (60±3); 125±5 |
| Ток утечки низкого уровня на входе, мкА, при $U_{CC} = 5,5 \text{ В}; U_{IH} = 4,7 \text{ В}; U_{IL} = 0 \text{ В}$ | I_{IL} | – | –3,0 | 25±10 |
| | | | –15,0 | минус (60±3); 125±5 |
| Выходной ток в состоянии «выключено», мкА, при $U_{CC}=5,5 \text{ В}, U_O=5,0 \text{ В}$ | I_{OZ} | – | 30,0 | минус (60±3); 25±10; 125±5 |
| Статический ток потребления, мкА, при $U_{CC} = 5,0 \text{ В}$ | I_{CC} | – | 25 | 25±10 |
| | | | 500 | минус (60±3); 125±5 |

Т а б л и ц а 2 – Значения параметров предельно допустимых и предельных электрических режимов эксплуатации микросхем

| Наименование параметра режима, единица измерения | Буквенное обозначение | Предельно допустимый режим | | Предельный режим | |
|---|--------------------------|-------------------------------|--------------|---------------------|--------------|
| | | не менее | не более | не менее | не более |
| Напряжение питания, В | U_{CC} | 4,5 | 5,5 | 4,5 | 5,5 |
| Входное напряжение, В | U_I | 0 | $U_{CC}+0,4$ | –0,5 | $U_{CC}+0,5$ |
| Входное напряжение низкого уровня, В | U_{IL} | 0 | 0,4 | – | – |
| Входное напряжение высокого уровня, В | U_{IH} | $U_{CC}/2$ | $U_{CC}+0,5$ | – | – |
| Выходное напряжение низкого уровня, В | U_{OL} | – | 0,4 | – | – |
| Выходное напряжение высокого уровня, В | U_{OH} | $U_{CC}-0,4$ | – | – | – |
| Максимальная рабочая частота входного сигнала, МГц | f_{MAX} | 1 | 10 | – | – |
| Входная емкость, пФ | C_I | – | 10 | – | – |
| Выходная емкость, пФ | C_O | – | 10 | – | – |
| Рассеиваемая мощность, мВт | P_{tot} | – | 40 | – | – |

2.2 Структурная схема микросхемы

Структурная схема микросхемы изображена на рисунке 1.

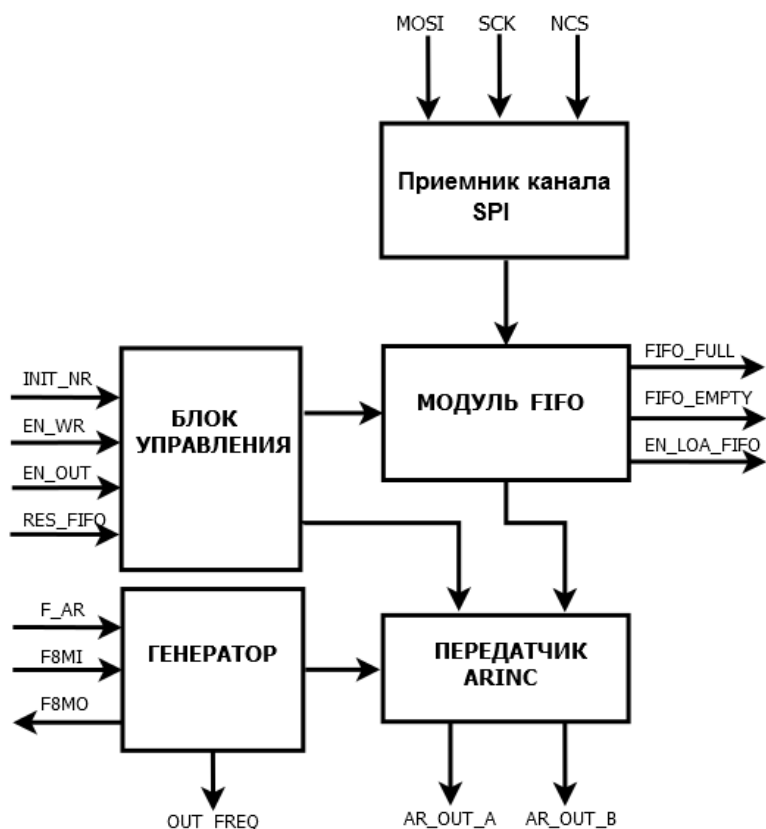


Рисунок 1 - структурная схема микросхемы H1582ВЖЗБ-0305, 1582ВЖЗГ-0305.

Микросхема состоит из пяти блоков: кварцевого генератора, входного приемника канала SPI, блока передатчика ARINC, регистрового стека типа FIFO на 16 ячеек 32-х разрядных слов и блока управления.

Входной приемник канала SPI представляет собой 32-х разрядный сдвиговый регистр. Загрузка данного регистра осуществляется при низком уровне сигнала на выводе NCS. Сигнал SCK в исходном состоянии имеет низкий уровень, загрузка данных с вывода MOSI осуществляется по фронту SCK. Максимальная частота SCK составляет 10МГц. Информация загружается "как есть" без каких-либо проверок (на четность, количество бит и т.д.). Завершение загрузки фиксируется по фронту сигнала NCS. По этому событию запускается алгоритм ожидания освобождения верхней ячейки FIFO и запись в неё принятой информации.

Временная диаграмма загрузки данных для передачи по каналу SPI приведена на рисунке 2.

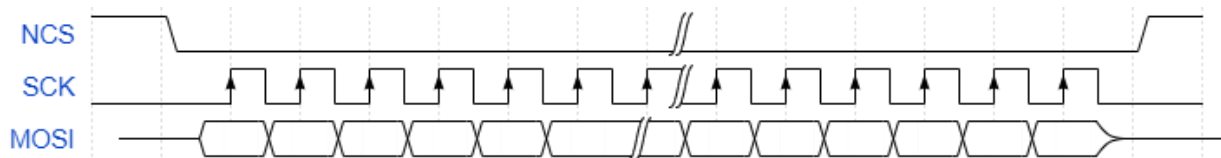


Рисунок 2 - временная диаграмма SPI.

Стек FIFO представляет собой массив из 16-ти 32-х разрядных регистров, соединенных между собой по принципу звеньев цепи.

Каждому звену соответствует свой 32-х разрядный регистр, выходы которого подключаются ко входам регистра ниже расположенного звена. Каждое звено имеет отдельный триггер-признак занятости звена (в дальнейшем будем говорить просто признак). Если звено содержит актуальную информацию - признак установлен, в противном случае - сброшен.

Стек функционирует по "пузырьковому" алгоритму. На весь массив FIFO в непрерывном режиме подаются строб-импульсы. Если верхнее звено имеет установленный признак, а нижнее сброшенный, тогда по следующему строб-импульсу информация с регистра верхнего звена переписывается в регистр нижнего звена, а по спаду строба устанавливается признак нижний и сбрасывается признак верхний. Таким образом информация как бы провалилась вниз на одно звено цепи, а признак свободной ячейки - вверх (пузырек). И так до самого нижнего звена "цепи".

Блок передатчика ARINC представляет собой стандартный 32-х разрядный сдвиговый регистр с асинхронной параллельной записью данных, формирователем выходного кода и счетчиком. Если в нижнем звене FIFO появляется актуальная информация для передачи и блок готов к приему и выдаче данных, то информация переписывается из нижнего звена FIFO в сдвиговый регистр ARINC, признак нижней ячейки сбрасывается (ячейка освобождается) и запускается цикл выдачи ARINC кода.

2.3 Алгоритм работы с микросхемой подсистемы пользователя

Начальная инициализация не требуется. Можно начинать работу сразу после подачи питающего напряжения. Всё, что нужно – это загрузить по SPI 32-х разрядное слово для передачи. После получения слова по SPI, проверяется верхняя ячейка FIFO и, если она свободна, то в нее переписывается информация из входного регистра с установкой признака и эта информация начинает перемещаться по FIFO сверху вниз. Если исходный FIFO был пустой, то до нижнего звена информация доберется за 16 интервалов строб-импульсов. Ожидать окончания этого процесса не требуется. Если сигнал EN_LOA_FIFO активен – можно начать загрузку следующего слова.

При загрузке слов по SPI рекомендуется отслеживать сигналы: FIFO_FULL, EN_LOA_FIFO.

Когда информация в FIFO достигает входа блока передатчика ARINC, он ее считывает и приступает к передаче в канал ARINC.

Следует заметить, что при приеме данных по SPI информация на выводе данных MOSI должна появляться старшими разрядами вперед, а в передачах ARINC сначала выдвигаются младшие разряды.

2.4 Назначение выводов

Т а б л и ц а 4 – Назначения выводов микросхемы

| NN вывода | Имя вывода | Тип вывода | Назначение вывода |
|-----------|-------------|------------|---|
| 2 | RES_FIFO | вход | Сброс FIFO |
| 3 | SCK | вход | Частота входного регистра |
| 4 | NCS | вход | Выбор микросхемы при работе по SPI |
| 7 | EN_LOA_FIFO | выход | Разрешение загрузки FIFO |
| 8 | GND | питание | Общая шина (0В) |
| 10 | INIT_NR | вход | Первоначальный сброс (PU=24 КОhm) |
| 13 | F8MO | выход | Выводы подключение кварцевого резонатора |
| 14 | F8MI | вход | |
| 15 | VCC | питание | Положительное питание (+5В) |
| 16 | GND | питание | Общая шина (0В) |
| 20 | FIFO_EMPTY | выход | Сигнал “пустоты” FIFO |
| 21 | FIFO_FULL | выход | Сигнал “полноты” FIFO |
| 22 | EN_WR | вход | Разрешение работы передатчика (PU=24 КОhm) |
| 23 | F_AR1 | вход | Вход выбора частоты (PD=84 КОhm) |
| 24 | VCC | питание | Положительное питание (+5В) |
| 26 | F_AR2 | вход | Вход выбора частоты (PD=84 КОhm) |
| 33 | AR_OUT_B | выход | 2-й выход передатчика |
| 34 | AR_OUT_A | выход | 1-й выход передатчика |
| 35 | EN_OUT | вход | Разрешение выхода передатчика (PU=24 КОhm) |
| 36 | GND | питание | Общая шина (0В) |
| 37 | OUT_FREQ | выход | Выход частоты |
| 39 | VCC | питание | Положительное питание (+5В) |
| 46 | GND | питание | Общая шина (0В) |
| 47 | MOSI | вход | Вход данных |
| 17 | | | Технологические выводы, для трассировки не использовать |
| 18 | | | |

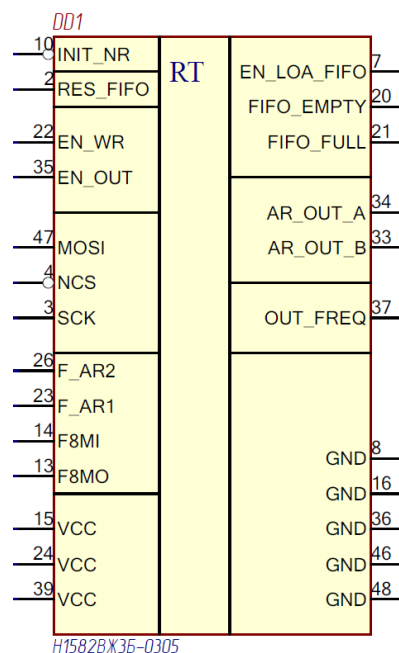


Рисунок 3 – Условное графическое обозначение микросхемы

Т а б л и ц а 5 – Значение бит выбора скорости в канале

| | | | |
|--------------------------|-----|----|------|
| F_AR1, F_AR2 | 00 | 01 | 10 |
| Битрейт в канале, кбит/с | 100 | 50 | 12,5 |

2.5 Типовая схема включения

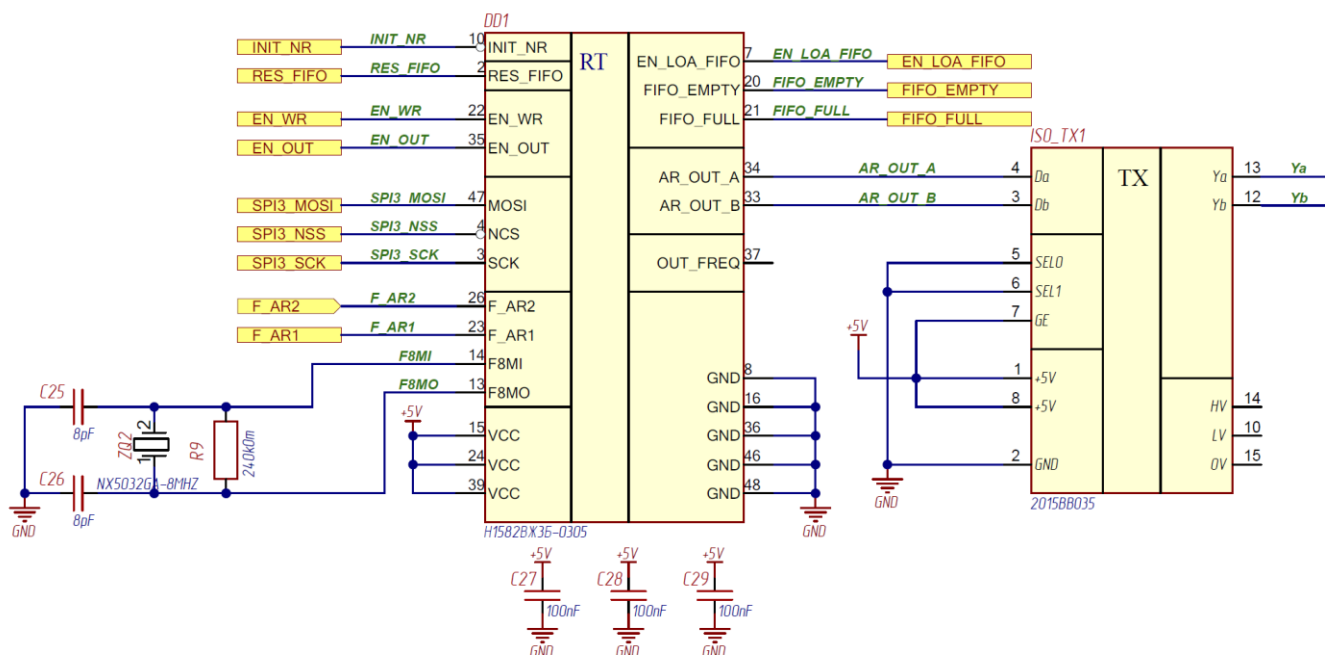


Рисунок 4 – Типовая схема включения микросхемы H1582BЖЗБ-0305 (в качестве передатчика физического уровня в линию могут использоваться микросхемы 1586ИН2АУ1 или микросборка 2015BB035 в режиме $SEL[0:1] = 00$).

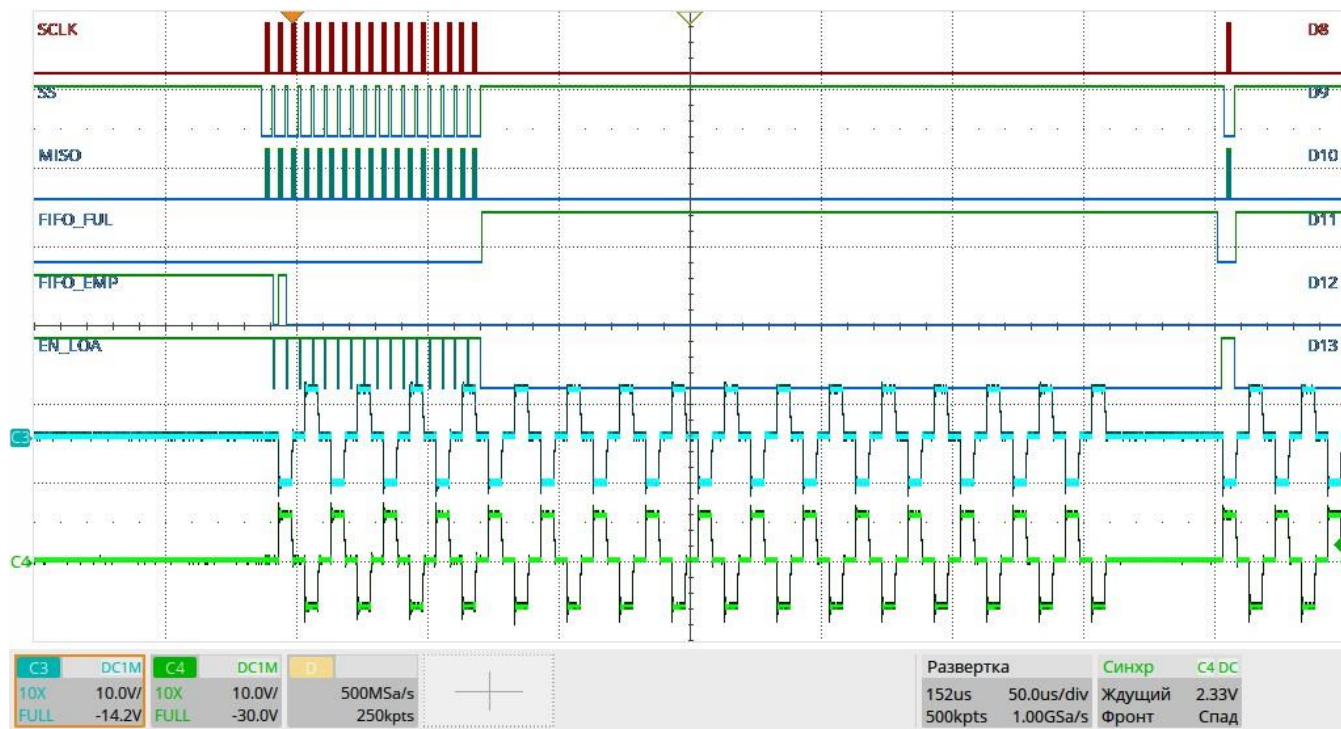


Рисунок 5 – осциллограмма сигналов при загрузке 17 слов подряд

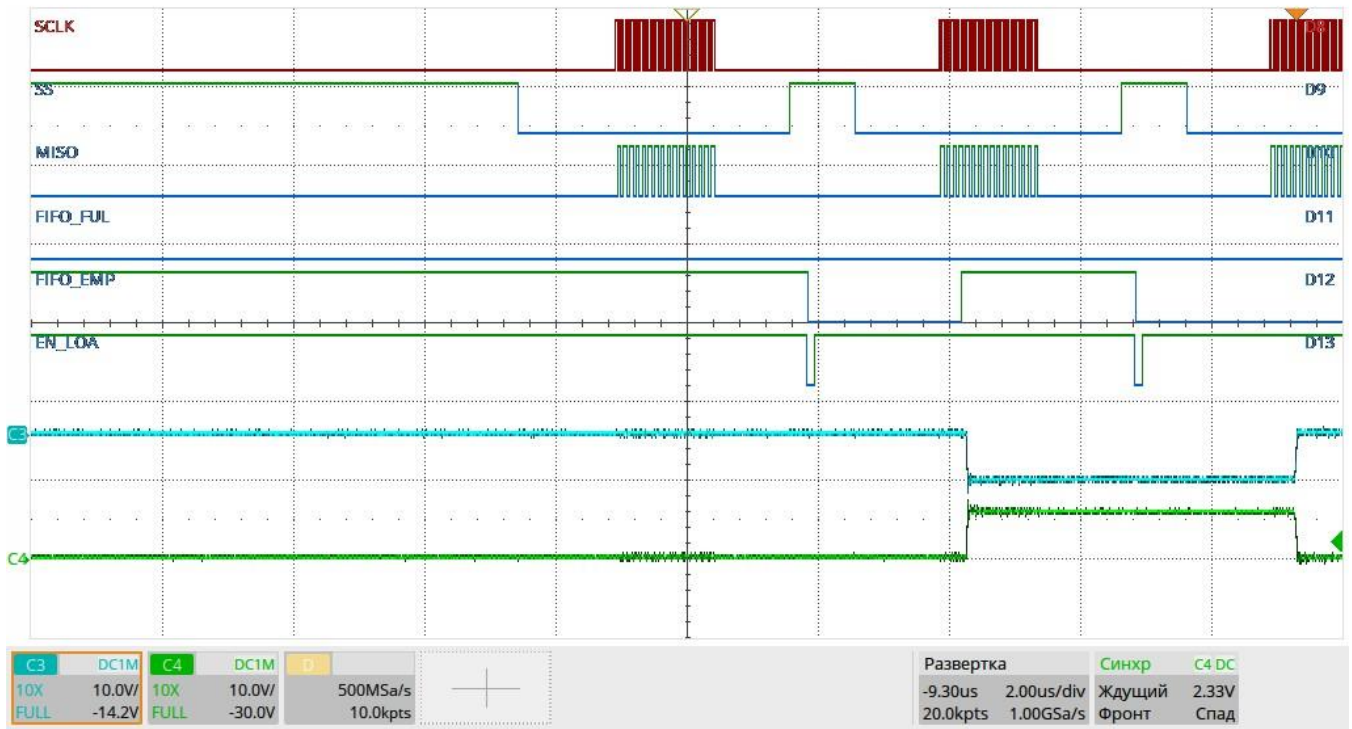


Рисунок 5.1 – осциллограмма взаимодействия по SPI

2.6 Конструктивное исполнение микросхемы

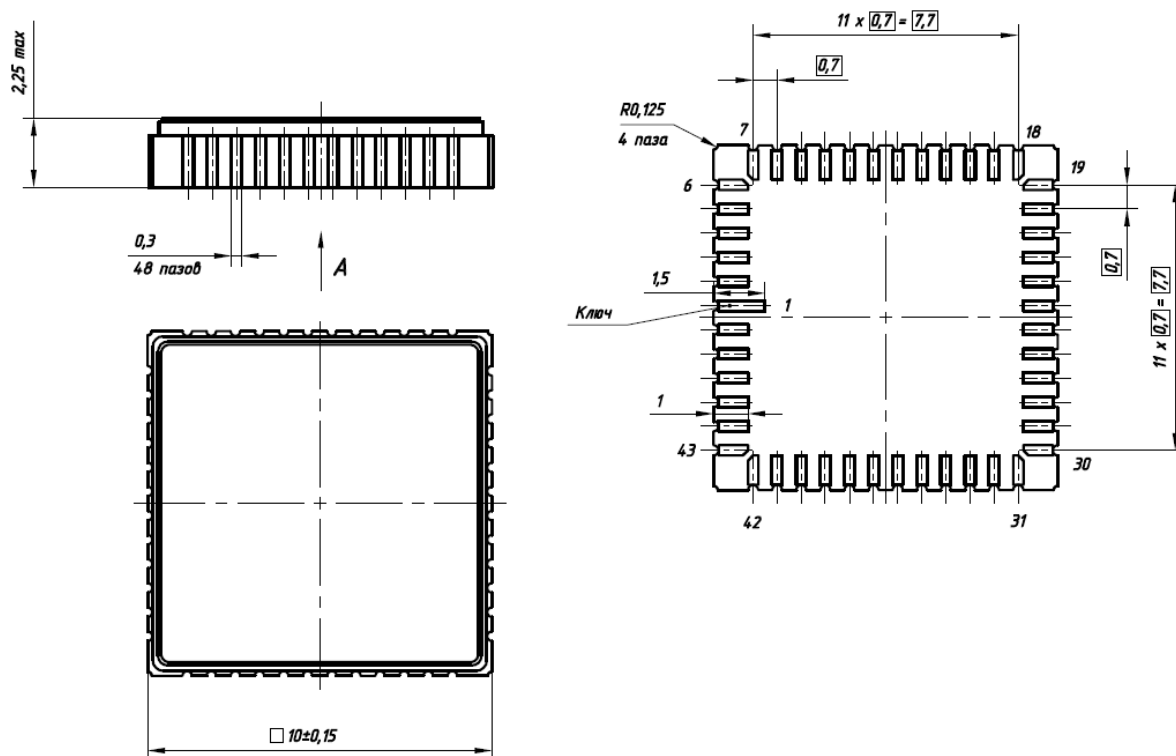


Рисунок 6 – габаритный чертеж микросхемы 1582ВЖЗГ-0305 в корпусе 5158.48-1

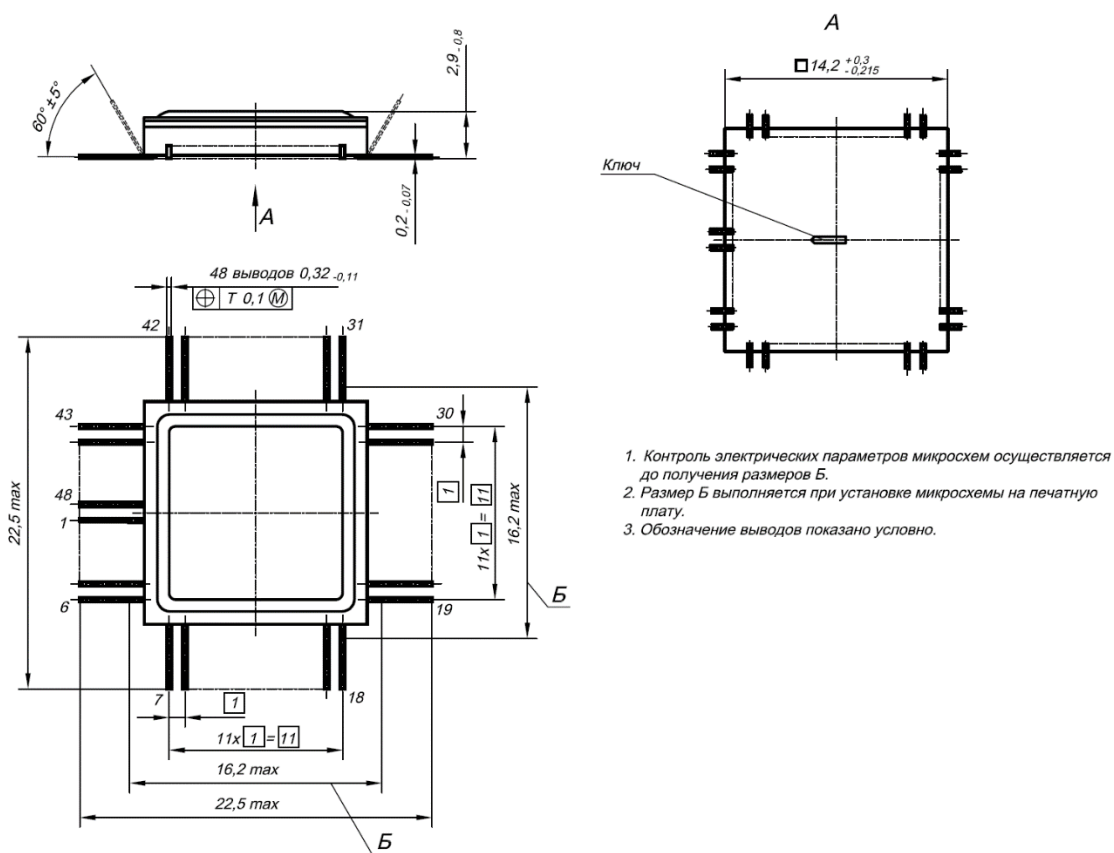


Рисунок 6.1 – габаритный чертеж микросхемы N1582ВЖЗБ-0305 в корпусе N16.48-2В

3 Справочная информация

3.1 Лист регистрации изменений

| Дата | Изменение |
|------------|---|
| 12.07.2023 | <i>Введено впервые</i> |
| 10.11.2023 | <i>Добавлены осциллограммы (рис. 4, 4.1)</i> |
| 20.05.2024 | <i>Добавлен в описание вывод 26: F_AR2 в связи с коррекцией микросхемы.</i> |