

1 Общие положения

1.1 Описание микросхемы

Настоящее техническое описание (ТО) распространяются на микросхемы интегральные тех. обозначение M1R002, далее микросхемы, разработанные и изготовленные по КМОП-технологии на основе базового матричного кристалла (БМК), с числом эквивалентных ячеек 14000, и предназначенные для использования в электронной аппаратуре.

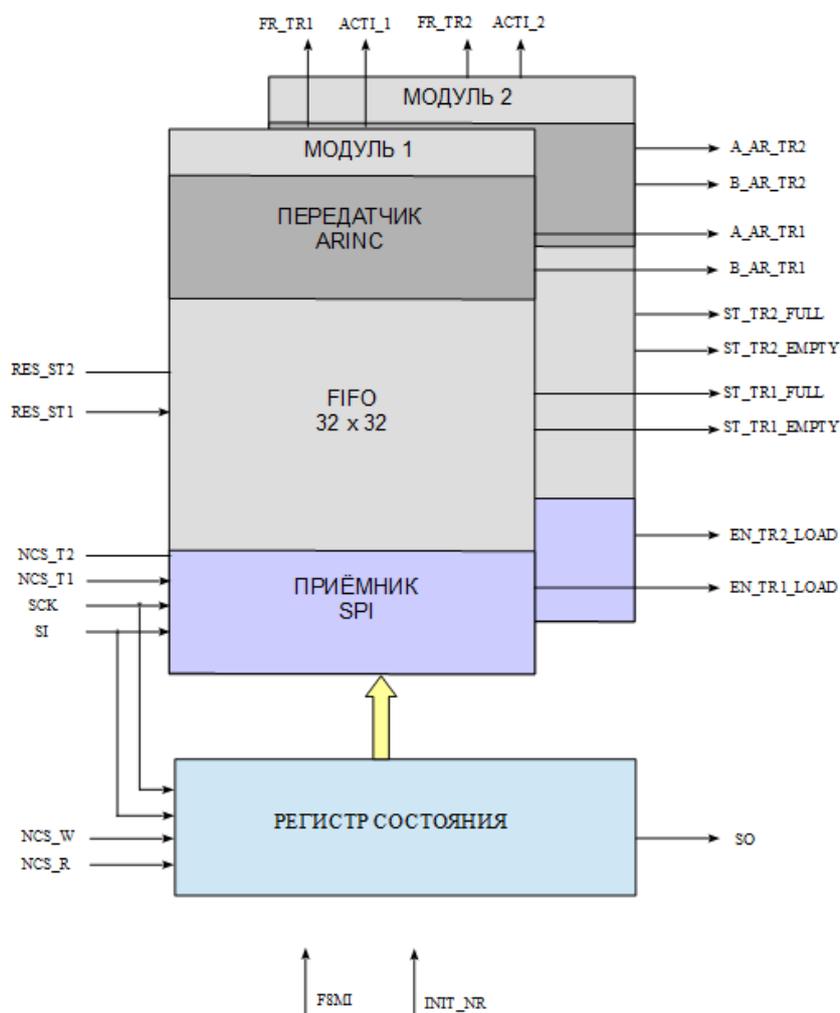
Функционально микросхема представляет собой два передатчика – контроллера протокола канала ARINC-429 со встроенными буферами типа FIFO (First Input First Output). Допустимые рабочие частоты передатчиков: 12,5 кбит/с, 50 кбит/с, 100 кбит/с, 250 кбит, 500 кбит и 1000 кбит. Рабочие частоты выбираются индивидуально для каждого канала. Интерфейс взаимодействия с подсистемой пользователя – SPI (Serial Peripheral Interface).

1.2 Описание сигналов

RES_ST1	-	Вход сброса блока FIFO первого модуля
RES_ST2	-	Вход сброса блока FIFO второго модуля
NCS_T1	-	Вход выбора приёмника SPI первого модуля
NCS_T2	-	Вход выбора приёмника SPI второго модуля
SCK	-	Вход синхронизации данных на шине SPI
SI	-	Вход данных на шине SPI
SO	-	Выход данных на шине SPI
NCS_W	-	Вход выбора регистра состояния при операции записи по SPI
NCS_R	-	Вход выбора регистра состояния при операции чтения по SPI
FR_TR1	-	Выход контрольной частоты передатчика ARINC первого модуля
FR_TR2	-	Выход контрольной частоты передатчика ARINC второго модуля
ACTI_1	-	Выход индикатор активности передатчика ARINC первого модуля
ACTI_2	-	Выход индикатор активности передатчика ARINC второго модуля
A_AR_TR1	-	Выход кодирования единиц передатчика ARINC первого модуля
B_AR_TR1	-	Выход кодирования нулей передатчика ARINC первого модуля
A_AR_TR2	-	Выход кодирования единиц передатчика ARINC второго модуля

- B_AR_TR2** - Выход кодирования нулей передатчика ARINC второго модуля
- ST_TR1_FULL** - Выход индикатор полного заполнения FIFO первого модуля
- ST_TR1_EMPTY** - Выход индикатор отсутствия данных в FIFO первого модуля
- ST_TR2_FULL** - Выход индикатор полного заполнения FIFO второго модуля
- ST_TR2_EMPTY** - Выход индикатор отсутствия данных в FIFO второго модуля
- EN_TR1_LOAD** - Выход разрешения загрузки данных в FIFO первого модуля
- EN_TR2_LOAD** - Выход разрешения загрузки данных в FIFO второго модуля
- F8MI** - Вход системной частоты 8МГц
- INIT_NR** - Вход начального сброса

2. Структурная схема микросхемы



Микросхема состоит из трех блоков: двух модулей передатчиков и регистра состояния.

2.1 Модуль передатчика

Каждый модуль передатчика состоит из блока передатчика ARINC, блока FIFO из 32-х 32-х разрядных линеек запоминающих элементов и собственного приёмника SPI.

2.1.1 Передатчик ARINC

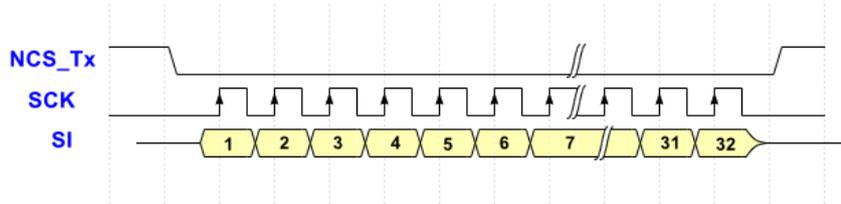
Передатчик ARINC состоит из 32-х битного регистра последовательного сдвига с параллельной записью, модуля подсчёта числа передаваемых бит, схемы формирования меж словного интервала и схемы загрузки слова из FIFO. Слова из FIFO передаются как есть, без контроля четности. Контроль четности должен быть вычислен внешним контроллером перед загрузкой в микросхему.

2.1.2 Блок FIFO

Блок FIFO представляет специфическую структуру памяти с безадресным алгоритмом доступа к хранимой информации. Блок представляет собой 32-е линейки из 32-х запоминающих элементов. Каждая линейка запоминает одно 32-х разрядное слово, требующее передачи ARINC. Каждая линейка содержит дополнительный триггер-флажок занятости. Все линейки внутри блока объединены в последовательную структуру, где выходы триггеров текущей линейки соединяются со входами аналогичных триггеров следующей. Флажок занятости устанавливается всякий раз, когда в линейку производится запись и сбрасывается, когда информация из неё считывается. Запись в линейку можно произвести только со сброшенным флажком занятости. На весь блок подаётся синхросигнал системной частоты. Если во входную линейку такого блока записать информацию, то она будет перемещаться к его выходу через свободные линейки с периодом системной частоты. Передатчик ARINC после каждого завершения текущей передачи, проверяет наличие информации на выходной линейке FIFO и, если слово для передачи имеется, считывает его в свой регистр и начинает новый цикл передачи ARINC. Если слова нет, то передатчик входит в режим ожидания.

2.1.3 Блок приёмника SPI

Каждый модуль передатчика имеет в своём составе собственный приёмник SPI. Выбор приёмника осуществляется низким уровнем сигнала на выводе NCS_Tx. Временная диаграмма приёма слова для передачи приведена на рисунке 1.



Приёмник состоит из последовательного 32-х битного регистра, сдвиг информации в котором осуществляется по фронту строб сигнала SCK. Информация в SPI передается старшими разрядами вперед. Начало операции приёма синхронизировано со спадом NCS_Tx. Завершение приёма данных и перезагрузка её в FIFO осуществляется по фронту на NCS_Tx (Не путать. Фронт — это переход из "0" в "1", а спад наоборот). Перезапись может быть осуществлена только, если входная линейка FIFO свободна, что индицируется активным сигналом EN_TRx_LOAD. Если линейка занята, логика загрузки будет ожидать её освобождения. Если в этот период начнется приём новых данных по SPI, то предыдущее слово будет потеряно. Исходя из выше сказанного, хорошей практикой является сначала убедиться, что запись возможна, и только потом передавать слово по SPI.

2.2 Регистр состояния

Регистр состояния в микросхеме предназначен для хранения информации о рабочей частоте конкретного модуля ARINC и разрешения его выходов. Информация хранится в 8-ми разрядном регистре. Назначение разрядов регистра приведено в таблице 1.

1	2	3	4	5	6	7	8
V0_2	V1_2	V2_2	EN_VR2	V0_1	V1_1	V2_1	EN_VR1

V0_x, V1_x, V2_x – определяют рабочую частоту конкретного модуля

EN_VRx – разрешение передачи кодированного сигнала на выходы ARINC

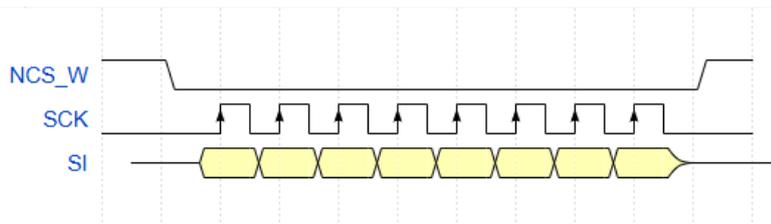
Коды для программирования рабочей частоты приведены в таблице 2.

V0_x	V1_x	V2_x	Рабочая частота
0	0	0	1 МГц
1	0	0	500КГц
0	1	0	250КГц
1	1	0	100КГц
0	0	1	50 КГц
1	0	1	12.5КГц

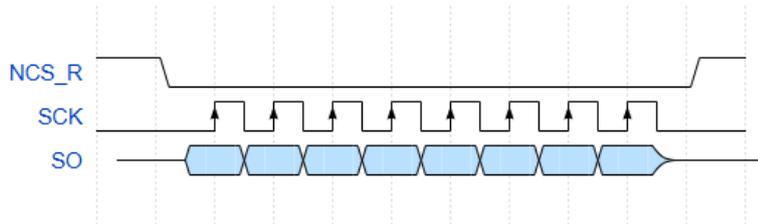
Что бы разрешить работу конкретного модуля передатчика бит EN_VR_x регистра должен быть установлен в "1". В противном случае выходы A_AR_TR_x и B_AR_TR_x будут находиться в состоянии "11", что для последующей микросхемы передатчика физического уровня ARINC равносильно команде перевода своих выходов в состояние высокого импеданса. Установка бита EN_VR_x в "0", также, будет останавливать и сбрасывать текущую передачу.

При включении питания, по сигналу INIT_NR низкого уровня все разряды регистра состояния устанавливаются в "0".

Временная диаграмма записи в регистр состояния приведена на рисунке 2.



Временная диаграмма чтения регистра состояния приведена на рисунке 3.



Информация на выводе SO должна читаться по фронту SCK, её изменение будет производиться синхронно со спадом.

Ещё раз отметим, что для SPI принято правило выставления информации старшими разрядами вперед.