

1 Общие положения

1.1 Описание микросхемы

Настоящее техническое описание (ТО) распространяются на микросхемы интегральные тех. обозначение M1R008, далее микросхемы, разработанные и изготовленные по КМОП-технологии на основе базового матричного кристалла (БМК), с числом эквивалентных ячеек 14000, и предназначенные для использования в электронной аппаратуре.

Функционально микросхема представляет собой одинарный приемник–контроллер протокола канала ARINC-429 со встроенной ассоциативной памятью на 32 отслеживаемых признака. Допустимые рабочие частоты приемника: 12,5 кбит/с, 50 кбит/с, 100 кбит/с. Интерфейс взаимодействия с подсистемой пользователя – байт блочный интерфейс.

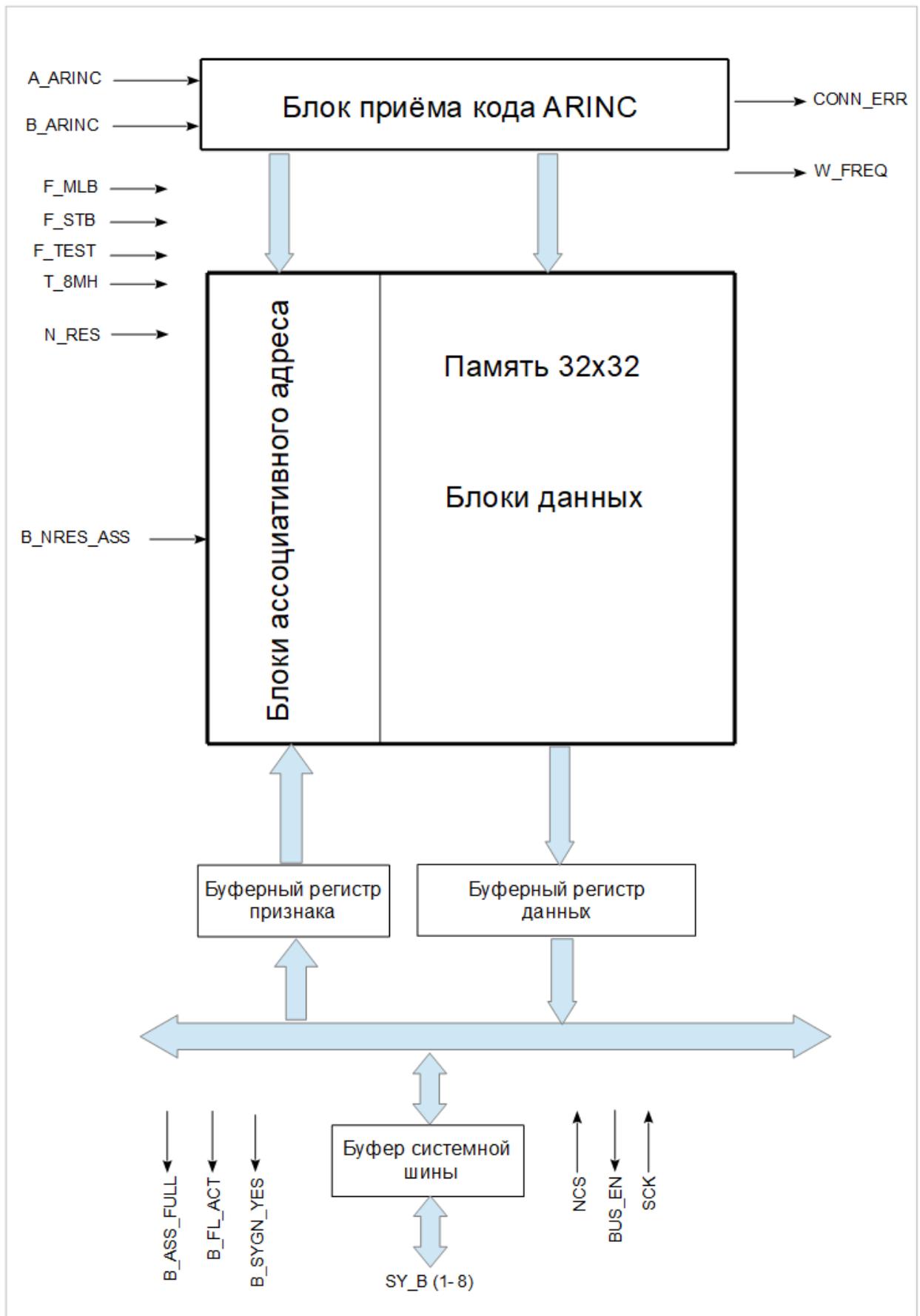
Несколько слов об общей концепции построения контроллера протокола ARINC. Она очень проста. Создать схему, хранящую текущее информационное состояние канала ARINC по интересующим признакам. Для этой цели как нельзя лучше подходит ассоциативная память. Каждая ячейка такой памяти состоит из двух блоков: ассоциативного адреса (в нашем случае 8 бит) и данных (24 бит). При инициализации системы в блоки адреса записываются 8-ми битные коды отслеживаемых признаков. При приёме слова из канала ARINC контроллер выставляет код принятого признака на шину ассоциативного адреса всех ячеек памяти. Если в какой-либо ячейке данный код совпал с кодом, хранящимся в блоке ассоциативного адреса, то такая ячейка активируется и в неё производится запись остальных 24 бит принятого слова. В противном случае принятое слово игнорируется. Таким образом, записав в область ассоциативных адресов памяти, набор интересующих признаков, мы всегда будем иметь в памяти самую последнюю актуальную информацию по данным признакам. Прочитать информацию так же очень просто. Выставляем на микроконтроллерную шину внешнего обмена код признака и, если, конечно, данный признак отслеживался, контроллер передает 24-х битные данные хранимого слова.

1.2 Описание сигналов

- A_ARINC** - входной сигнал ARINC для приема "1" бита
- B_ARINC** - входной сигнал ARINC для приема "0"

F_MLB	-	входной сигнал младшего разряда кода рабочей частоты, имеет встроенную подтяжку к "общий", можно оставить не подключённым
F_STB	-	входной сигнал старшего разряда кода рабочей частоты, имеет встроенную подтяжку к "питание", можно оставить не подключённым
F_TEST	-	данный входной сигнал тестовый и служит для упрощения выходного контроля
T8MH	-	входной сигнал системной частоты 8МГц.
N_RES	-	входной сигнал начального сброса, активный уровень низкий
B_NRES_ASS	-	входной сигнал сброса всех блоков ассоциативной памяти, активный уровень низкий
NCS	-	входной сигнал синхронизации захвата системной шины для обмена, активный уровень низкий
BUS_EN	-	выходной сигнал разрешения обмена данных на шине
CONN_ERR	-	выходной сигнал "ошибка числа бит в принятом слове"
W_FREQ	-	выходной сигнал контроль установленной частоты канала, частота сигнала на этом выводе в 4 раз превышает рабочую, служит для отладки системы
B_SIGN_YES	-	выходной сигнал указывает, что запрошенный признак опознан
B_FL_ACT	-	выходной сигнал указывает, что данные для запрошенного признака "свежие", т.е. ещё ни разу не прочитаны
B_ASS_FULL	-	выходной сигнал указывает, что память массива признаков заполнена полностью
SY_B (1-8)	-	двунаправленная 8-ми разрядная системная шина данных
SCK	-	входной сигнал синхронизации данных на системной шине

Блок схема микросхемы приведена на рисунке 1.



1.3 Описание работы блоков

Микросхема состоит из следующих блоков: блока приёма слова данных из канала ARINC, блока памяти 32х32 с ассоциативной адресацией (на адрес отводится 8 бит), буферного 8-ми разрядного регистра признака, буферного регистра данных на 24-е разряда, диспетчера доступа к шине ассоциативного адреса (на схеме не показан) и 8-ми разрядного блока двунаправленных усилителей доступа к системной шине.

1.3.1. Блок приёма слова данных из канала ARINC.

Блок приёма слова данных из канала ARINC имеет в своём составе последовательный сдвиговый 32-х разрядный регистр, буферный 32-х разрядный параллельный регистр, контроллер четности входного слова, делитель-формирователь рабочей частоты канала, детектор меж словного промежутка и счётчик числа бит в слове. Рабочая частота канала определяется значениями уровня напряжения на выводах **F_MLB** и **F_STB** и формируется из системной частоты 8МГц (вывод **T8MH**). Кодирование приведено в таблице 1.

F_MLB	F_STB	Рабочая частота
0	0	12.5 КГц
1	0	50 КГц
0	1	100КГц
1	1	F_TEST делённая на 4

Вывод **F_TEST** используется для упрощения тестирования БИС на этапе производства, но может быть применён для получения не стандартной частоты канала. Данное применение должно быть согласовано с производителем микросхемы.

1.3.2. Блок ассоциативной памяти

Блок ассоциативной памяти представляет из себя память с организацией 32 ячейки по 32 бита каждая. Первые 8 бит каждой ячейки отводятся для запоминания 8-ми битного ассоциативного адреса и содержат в своём составе компаратор, который сравнивает запомненный код и код на шине адреса. Если они совпадают, то разрешается производить операции чтения/записи в оставшиеся 24 бита данных ячейки. Так же, каждая ячейка содержит специальный триггер/флажок активности ячейки. В исходном состоянии все флажки сброшены. Установка флажка осуществляется только после произведения записи в область ассоциативного адреса данной ячейки. Во всех последующих операциях

принимают участие только ячейки с установленным флажком активности. Так же в каждой ячейке имеется триггер/флажок актуальности данных. Этот флажок взводится каждый раз, когда производится запись 24-х разрядов данных в ячейку и сбрасывается, если данные были прочитаны.

1.3.3. Блоки буферных регистров и буфера системной шины

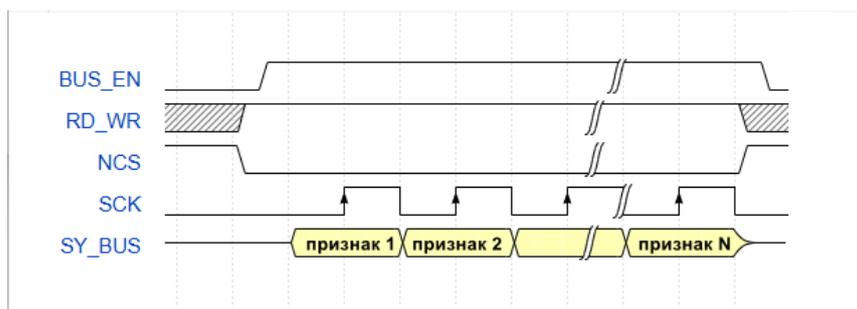
Назначение данных узлов понятно из названия. Более подробно их работа будет рассмотрена позднее в общем описании.

1.4 Общее описание работы

Взаимодействие данной микросхемы с внешним контроллером осуществляется через системную, двунаправленную 8-ми битную шину **SY_B (1-8)**. Для выполнения синхронизации обмена применяются ещё три сигнала: **NCS**, **SCK**, **BUS_EN**. Каждая операция обмена сопровождается выставлением контроллером низкого уровня сигнала **NCS**, который означает запрос контроллером доступа к внутренней шине ассоциативного адреса. Т.к. к этой шине запрос может формироваться как внешним контроллером, так и блоком приёма кода **ARINC**, устранением конфликтов занимается внутренний диспетчер. Получив запрос от контроллера, диспетчер разрешает доступ к внутренним ресурсам выставлением сигнала **BUS_EN**. Только после получения такого разрешения контроллер может приступить к операции обмена.

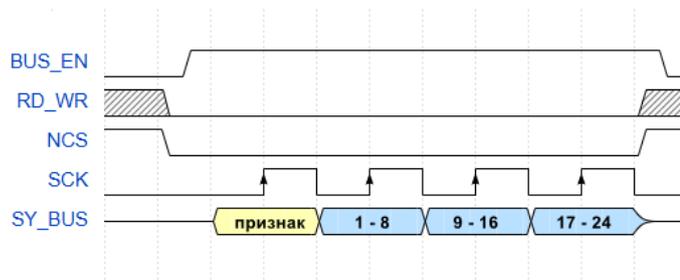
При включении питания по низкому уровню сигнала **N_RES** микросхема сбрасывается в исходное состояние. В этом состоянии у всех ячеек памяти флажки активности сброшены, микросхема не может принимать данные с **ARINC**. Её надо инициализировать. Инициализация заключается в загрузке кодов наблюдаемых признаков в блоки ассоциативного адреса ячеек. Данная запись осуществляется через системную шину.

Запись осуществляется блочно, путём выполнения операции записи в микросхему байтов кодов признаков. Временная диаграмма загрузки признаков приведена на рисунке 2.



По фронту сигнала **SCK** данные с системной магистральной переписываются в буферный регистр признака и с его выходов поступают на шину ассоциативного адреса, а по спаду на **SCK** записываются в ближайшую не активную ячейку, устанавливая соответствующий флажок активации. Таким образом можно загрузить произвольное число признаков, но не более 32-х. Данную операцию не обязательно производить одновременно. Если есть свободные ячейки, можно подписывать новые по мере необходимости. Таким образом формируется карта наблюдаемых признаков. Если попытаться записать код признака, уже присутствующий в карте, микросхема такой код отвергнет. В карте могут содержаться только уникальные коды. Если карта заполняется полностью, то микросхема выставляет сигнал **B_ASS_FULL**. Признак переписать нельзя. Если карта заполнилась, а появилась потребность что-то поменять, то придется сначала сбросить старую версию карты сигналом **B_NRES_ASS**, а потом уже загрузить новую. После формирования карты и установки рабочей частоты микросхема полностью готова к работе.

Рассмотрим поведение микросхемы, когда блок входного приемного регистра принимает слово из канала **ARINC**. Приняв слово данных из канала в последовательный регистр, блок приёма в первую очередь проверяет число принятых бит и, если оно не равно 32, слово отбрасывается. Далее принятые данные переписываются в 32-х разрядный буферный регистр. При этом, если контроль чётности показал ошибку, то в 32 бит регистра записывается "1", в противном случае "0". Выставляется запрос доступа к шине ассоциативного адреса памяти. После получения разрешения от диспетчера биты признака принятого слова поступают на шину ассоциативного адреса и сравниваются с хранимыми кодами признаков. Если в ассоциативной памяти такой адрес есть – 24 разряда поля данных принятого слова переписываются в активированную ячейку. Вводится флажок актуальности данных. В противном случае никаких действий не производится. Таким образом информационное состояние микросхемы в каждый момент времени представляет собой базу с самой актуальной информацией, поступившей из канала **ARINC** к текущему моменту. Пользователю нет необходимости скачивать массивы данных с последующей сортировкой, что приходится делать, применяя микросхемы с буферными накопителями. Если нужны данные для какого-либо признака, они просто считываются из микросхемы. Временная диаграмма чтения значения признака приведена на рисунке 3.



По фронту **SCK** код признака считывается с системной шины и подаётся на шину адреса. Если такой признак есть в карте, то появляются два сигнала: **B_SYGN_YES**, который говорит, что такой признак активен, и сигнал **B_FL_ACT**, отражающий актуальность данных для данного признака. Если **B_SYGN_YES** не появится, то операцию следует прервать, т.к. пользователь задал код признака, отсутствующий в карте, и последующие байты будут бесполезны, т.к. являются случайными. Аналогично можно прервать операцию, если **B_FL_ACT** = "0", зачем считывать уже прочитанные ранее данные. Содержимое поля данных ячейки при этом не меняется. Контроль появления сигналов можно провести по срезу **SCK** к этому моменту действующие значения этих сигналов должны появиться.

Вот, собственно, и всё. Надеюсь, стало понятно, что работать с данной легко и просто.

P.S. Данный проект является тестовым. Его основная задача – протестировать предложенный подход построения ARINC систем, но вместе с тем разработанная микросхема является тем универсальным кирпичиком, с помощью которого можно построить систему любой сложности и под любые задачи.