

1 Общие положения

1.1 Описание микросхемы

Настоящее техническое описание (ТО) распространяется на микросхемы интегральные тех. обозначение M1R009, далее микросхемы, разработанные и изготовленные по КМОП-технологии на основе базового матричного кристалла (БМК), с числом эквивалентных ячеек 14000 ячеек, и предназначенные для использования в электронной аппаратуре.

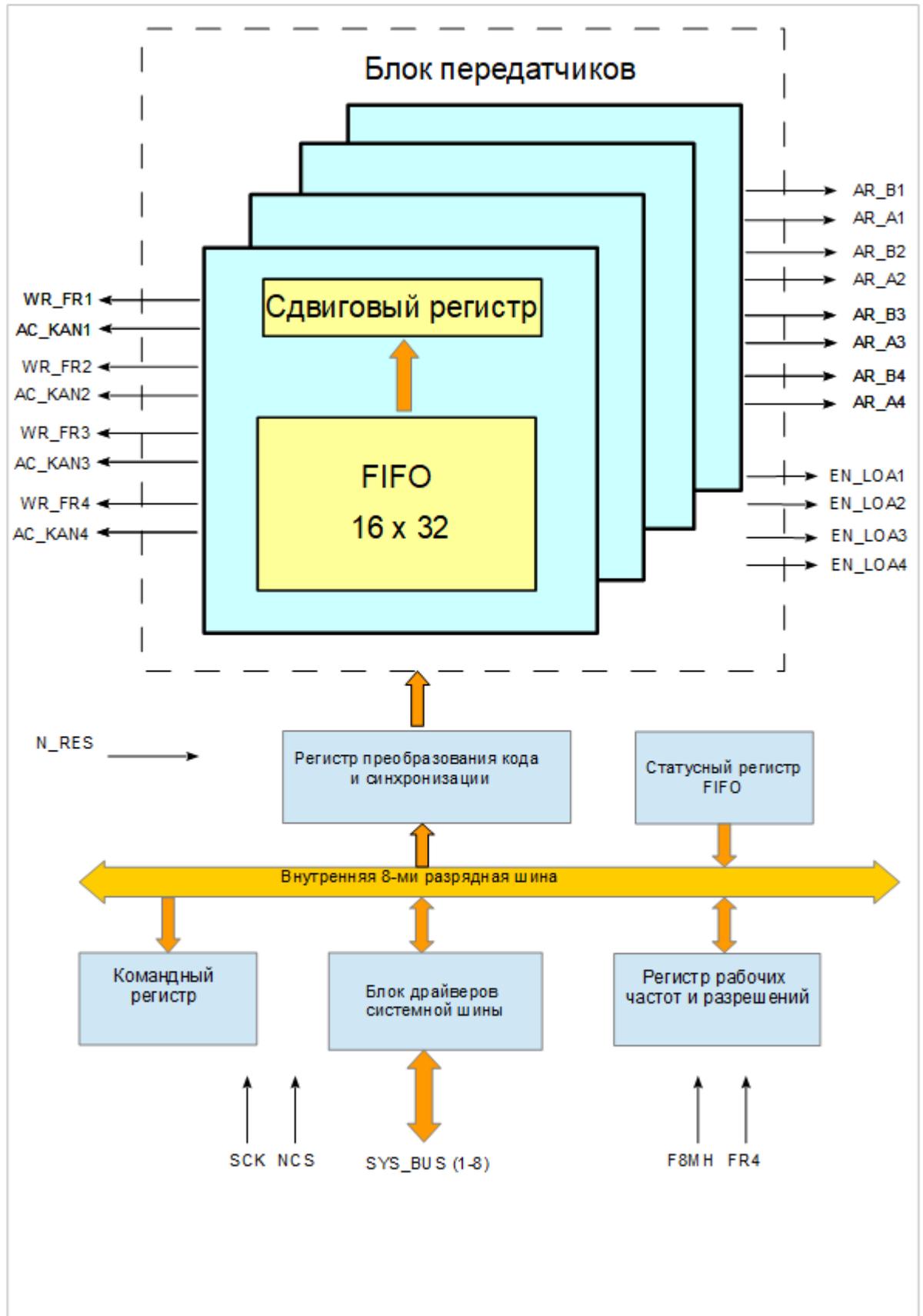
Функционально микросхема представляет собой четыре передатчика – контроллера протокола канала ARINC-429 со встроенными буферами типа FIFO (First Input First Output). Допустимые рабочие частоты передатчиков: 12,5 кбит/с, 50 кбит/с, 100 кбит/с. Рабочие частоты выбираются индивидуально для каждого канала. Интерфейс взаимодействия с подсистемой пользователя – байт блочный интерфейс.

1.2 Описание сигналов

AR_B1	-	Выход передачи нулевых импульсов канала 1
AR_A1	-	Выход передачи единичных импульсов канала 1
AR_B2	-	Выход передачи нулевых импульсов канала 2
AR_A2	-	Выход передачи единичных импульсов канала 2
AR_B3	-	Выход передачи нулевых импульсов канала 3
AR_A3	-	Выход передачи единичных импульсов канала 3
AR_B4	-	Выход передачи нулевых импульсов канала 4
AR_A4	-	Выход передачи единичных импульсов канала 4
WR_FR1	-	Выход контрольного сигнала рабочей частоты канала 1
AC_KAN1	-	Выход контрольного сигнала активной передачи канала 1
WR_FR2	-	Выход контрольного сигнала рабочей частоты канала 2
AC_KAN2	-	Выход контрольного сигнала активной передачи канала 2
WR_FR3	-	Выход контрольного сигнала рабочей частоты канала 3
AC_KAN3	-	Выход контрольного сигнала активной передачи канала 3
WR_FR4	-	Выход контрольного сигнала рабочей частоты канала 4
AC_KAN4	-	Выход контрольного сигнала активной передачи канала 4

EN_LOA1	-	Выход сигнала разрешения записи на вход FIFO канала 1
EN_LOA2	-	Выход сигнала разрешения записи на вход FIFO канала 2
EN_LOA3	-	Выход сигнала разрешения записи на вход FIFO канала 3
EN_LOA4	-	Выход сигнала разрешения записи на вход FIFO канала 4
SCK	-	Вход синхронизации системной шины
NCS	-	Вход выбора кристалла
F8MH	-	Вход системной частоты
FR4	-	Вход дополнительной частоты для тестирования БИС на этапе изготовления
N_RES	-	Вход начального сброса при включении питания
SYS_BUS (1-8)	-	Системная двунаправленная 8-ми разрядная шина

2. Структурная схема микросхемы



Основным узлом микросхемы является блок из четырех передатчиков канала ARINC-429 со встроенными буферами типа FIFO размером 16 x 32. Кроме этого блока имеется ещё

целый ряд вспомогательных устройств: Регистр преобразования кода и синхронизации, командный регистр, регистр статуса FIFO, регистр рабочих частот и разрешений работы отдельных каналов передачи ARINC, ну и последним блоком, осуществляющим взаимодействие с оборудованием пользователя, является блок драйверов системной шины.

3. Описание работы.

3.1. Общее описание работы.

Принцип работы микросхемы чрезвычайно прост. При начальной инициализации, (например, при включении питания) пользователь должен записать в специальные регистры коды рабочих частот для каждого канала индивидуально и установить флажки разрешения работы каналов. После этого, можно загружать информация для передачи. Если работа соответствующего канала разрешена, то на выходах AR_A и AR_B появятся сигналы, кодированные в соответствии с протоколом ARINC-429. Далее пользователю остаётся только следить за наличием свободных ячеек в FIFO и подписывать туда данные, требующие передачи. Связь с аппаратурой пользователя осуществляется при помощи байтной шины. Внешний контроллер всегда главный (MASTER), а микросхема является подчинённой (SLAVE). К одной шине может быть подключено несколько микросхем, что позволяет легко масштабировать конечную систему. Руководит обменом всегда внешний контроллер. Для инициализации обмена MASTER всегда первым байтом передает команду, которая определяет тип операции (запись/чтение) и адресата. Каждый обмен данными сопровождается выставлением контроллером сигнала NCS низкого уровня для конкретной микросхемы (если их несколько). Наличие этого сигнала говорит микросхеме, что ей адресована команда и она будет участвовать в обмене данными. Далее контроллер выставляет код команды и синхросигнал SCK. Считывание данных с шины всегда осуществляется по фронту SCK (это правило касается как контроллера, так и микросхемы), а изменение данных должно начинаться после спада SCK. Сигнал NCS возвращается к высокому уровню после завершения обмена.

Протоколы обмена и структура регистров будут рассмотрены далее подробно в соответствующих разделах.

3.2. Описание основных узлов.

3.2.1. Блок драйверов системной шины.

Блок драйверов системной шины является тем единственным устройством, которое осуществляет физическое взаимодействие микросхемы с оборудованием пользователя. Блок представляет собой набор из восьми двунаправленных шинных формирователей (шина SYSBUS (1-8)) и входных буферов приёма сигналов синхронизации обмена SCK и NCS. Блок не имеет встроенных запоминающих элементов, его задача – связать внешнюю шину с внутренней.

3.2.2. Командный регистр.

При инициализации обмена, по фронту первого SCK, командный байт с шины загружается в командный регистр. Назначения бит принятого байта указаны в таблице 1.

8	7	6	5	4	3	2	1
RE-WR	X	STAT	Fr-En	TR4	TR3	TR2	TR1

Бит 8 – RE-WR, определяет тип операции, которая будет осуществляться на шине.

RE-WR = "0" – будет производиться операция чтения данных

RE-WR = "1" – будет производиться операция записи данных

Бит 7 резервный и в данной версии микросхемы не используется

Бит 6 – STAT, определяет, что будет считываться информация текущего состояния блоков

FIFO передатчиков. Данный бит допускает выполнение только операций чтения.

Операции записи игнорируются. Регистр двухбайтный.

Бит 5 – Fr-En. Установка этого бита означает, что будет производиться операция

чтения/записи кодов рабочих частот и разрешений работы передатчиков.

Регистр двухбайтный.

Биты 1÷4 – TR1 – TR4 указывают, что будет производиться операция записи в FIFO

передатчиков. Для передатчиков может быть выполнена только операция записи.

Для операций чтения значения этих бит игнорируются. Подобный способ

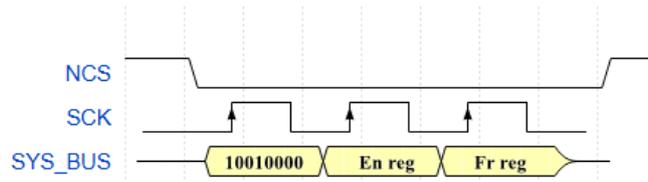
обращения к передатчикам позволяет одной командой одинаковые слова записать

сразу в несколько передатчиков.

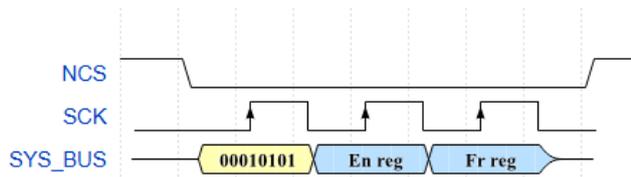
Для однотипных операций более высоким приоритетом обладают биты с меньшими номерами. Так, если приходит команда записи с выставленными битами 1 и 5, то запись будет произведена в FIFO передатчика 1, а не в регистр рабочей частоты.

Ниже приведены примеры временных диаграмм записи и чтения регистра рабочих частот и разрешений. Код команды на рисунке показан старшими разрядами слева. На временных диаграммах бежевым цветом подсвечены байты, записываемые в микросхему, а синим считываемые из нее.

Пример временной диаграммы записи данных приведен на рисунке 1.



Пример временной диаграммы чтения данных приведен на рисунке 2.



Следует обратить внимание, что на нижней временной диаграмме в коде команды установлены биты, отвечающие за выбор передатчика, но т.к. это команда чтения, они игнорируются, и мы считываем правильные данные регистра частот и разрешений. Выдача запрошенных данных микросхемой осуществляется сразу после появления спада сигнала SCK, поэтому к этому моменту шина должна быть освобождена внешним контроллером.

3.2.3. Регистр рабочих частот и разрешений.

Регистр частот и разрешений является двухбайтным. Оба байта поддерживаются триггерной структурой и могут быть как записаны, так и прочитаны. Структура первого байта приведена в таблице 2.

8	7	6	5	4	3	2	1
Rs_f4	En4	Rs_f3	En3	Rs_f2	En2	Rs_f1	En1

Каждый бит En отвечает за включение или отключение соответствующего передатчика. Эти биты запоминаются в триггерах и при необходимости могут быть прочитаны. En = "1" разрешает работу передатчика. Установка En = "0" прерывает текущую передачу и устанавливает выходы ARINC в "11". Такая комбинация сигналов, распознается

последующим формирователем, как необходимость перевода своих выходов в "третье" состояние. Это позволяет к одной физической линии ARINC подключать несколько передатчиков.

Биты Rs_f предназначены для сброса всех слов, записанных в FIFO ранее. Запись "1" в данный бит приводит к формированию импульсного сигнала сброса. Значения бит не запоминаются в триггерах и, при выполнении операции чтения, считываются нулями. Сброс FIFO не влияет на текущую передачу в канале ARINC.

Вторым байтом регистра является байт рабочих частот каналов. Его структура приведена в таблице 3.

8	7	6	5	4	3	2	1
Stb_f4	Mlb_f4	Stb_f3	Mlb_f3	Stb_f2	Mlb_f2	Stb_f1	Mlb_f1

Микросхемой поддерживается работа с тремя рабочими частотами, кодирование которых приведено в таблице 4.

Mlb	Stb	Рабочая частота
0	0	12,5 КГц
1	0	50 КГц
0	1	100 КГц
1	1	FR4

Комбинация Mlb Stb = "11" является технологической и предназначена, в основном, для упрощения программ выходного контроля микросхем при серийном выпуске. Она формирует рабочую частоту в 4 раза ниже частоты на выводе FR4. Эту особенность можно использовать для организации каналов ARINC с нестандартными скоростями. Применение данной особенности требует согласования с производителем микросхемы.

Временные диаграммы работы с регистром были рассмотрены выше. Следует отметить, что если нет необходимости работать со вторым байтом регистра, то операцию можно ограничить чтением/записи только первого. Все данные в триггерах второго байта при этом не изменяются.

3.2.4. Статусный регистр FIFO.

Для организации эффективной работы с микросхемой, необходимо иметь информацию о текущем состоянии буфера FIFO каждого канала передатчика. Описание работы буфера будет рассмотрено позже в соответствующем разделе, а пока нужно знать, что состояние FIFO описывается 4-мя флажками.

FIFO_FULL - буфер заполнен полностью и свободных ячеек нет

FIFO_EMPTY - все ячейки буфера свободны

END_LINE - последняя ячейка содержит данные для передачи

FIRST_LINE - первая ячейка свободна.

Самый важный флажок - FIRST_LINE. Данный флажок трансформируется во внешний сигнал EN_LOA и означает, что FIFO готов принять слово с шины данных. Если предпринять попытку записи при EN_LOA = "0", то реальная запись будет произведена только в буферный регистр преобразования кода и, если к моменту следующей записи, FIFO не освободит первую ячейку – слово будет потеряно или загружено с ошибкой.

Назначение FIFO_FULL и FIFO_EMPTY ясно из их названия.

Флажок END_LINE чисто внутренний и пользователю не интересен. Его установка говорит выходному сдвиговому регистру, что данные для передачи подготовлены и могут быть прочитаны из FIFO.

Ранее уже отмечалось, что статусный регистр FIFO двухбайтный. Для него разрешена только операция чтения. Попытка записи в данный регистр игнорируется. Структура первого байта приведена в таблице 5.

8	7	6	5	4	3	2	1
x	EN_LOA4	X	EN_LOA3	X	EN_LOA2	x	EN_LOA1

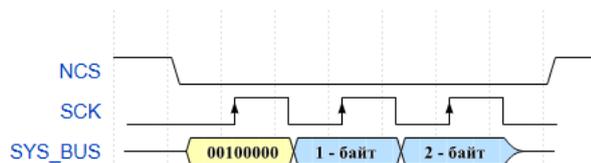
Структура второго байта приведена в таблице 6.

8	7	6	5	4	3	2	1
F_FU4	F_EM4	F_FU3	F_EM3	F_FU2	F_EM2	F_FU1	F_EM1

Обозначение F_EM – сокращение названия флажка FIFO_EMPTY.

Обозначение F_FU – сокращение названия флажка FIFO_FULL.

Временная диаграмма чтения статусного регистра FIFO приведена на рисунке 3.



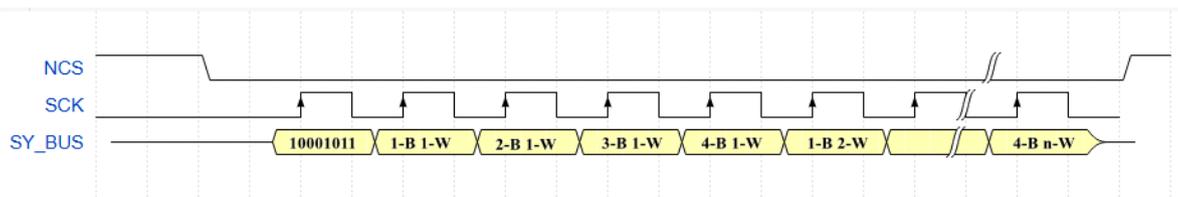
Если нужно знать только состояние первого байта, то второй байт можно не считывать и завершить операцию.

3.2.5. Регистр преобразования кода и синхронизации.

В данной микросхеме это, наверное, самый интересный регистр. В его задачу входит собрать байты с внутренней 8-ми битной магистральной в правильном порядке в 32-битное слово. Данные с этого регистра поступают на вход FIFO, заданного командой записи. После приема 4-х байт он формирует строб записи для FIFO и таким образом данные переносятся в первую ячейку FIFO. Если в команде записи были указаны несколько передатчиков, то стробы будут сформированы индивидуально для каждого. Таким образом поддерживается функция одновременной записи слова в несколько передатчиков. Есть и ещё одна интересная особенность – регистр не прекращает работу после приёма 4-х байт, а закичивается. Принимает следующую четвёрку и т.д. Таким образом единым массивом можно полностью заполнить блок FIFO. Записывать можно любое количество слов, однако следует понимать, что если в FIFO не будет свободных ячеек, то все лишние слова просто пропадут. Вот здесь и пригодится контроль состояния EN_LOA. Если к моменту передачи последнего байта слова он "0", то передачу следует остановить до перехода его в "1". Тогда данные потеряны не будут. Это всё касается и для параллельной загрузки. Если используется несколько передатчиков – следить надо за всеми EN_LOA.

Если во время передачи количество переданных байт данных не было кратным 4-м, то строб перезаписи последнего слова сформирован не будет и усечённое слово будет отброшено.

Временная диаграмма загрузки слов в микросхему приведена на рисунке 4.



Из рисунка видно, что первый байт определяет команду записи данных в 1, 2 и 4 блоки передатчиков.

3.2.6. Блок передатчиков.

Блок передатчиков состоит из 4-х идентичных передатчиков и поэтому в дальнейшем будет рассматриваться только один канал.

Каждый канал состоит из сдвигового регистра и модуля FIFO.

3.2.6.1 Модуль FIFO.

Модуль FIFO представляет из себя набор ячеек 32-х разрядных регистров с параллельной записью. Каждая ячейка имеет дополнительный триггер-флажок занятости ячейки. Все ячейки объединены в массив, где каждая ячейка имеет связь только с двумя соседними. Массив построен по принципу FIFO и имеет вход в массив – первая ячейка и выход – 32-я ячейка. Все внутренние ячейки образуют некое подобие очереди, где выходы текущей ячейки подключены ко входам следующей. Информация по такой структуре может перемещаться только в одном направлении со входа на выход. Если в ячейку производится запись – флажок занятости взводится, если информация из ячейки считывается – сбрасывается. Таким образом информация перемещается на один шаг, освобождая предыдущую ячейку и занимая последующую. Если у последующей ячейки установлен флажок "занято", то записывать в такую ячейку нельзя и процесс движения данных останавливается. Весь процесс происходит с периодом системной частоты. Таким образом, слово, записанное на вход FIFO, дойдёт до его выхода при пустом FIFO за 16 периодов системной частоты. Из более раннего изложения известно, что состояние модуля FIFO полностью описывается 4-мя флажками: FIFO_FULL, FIFO_EMPTY, END_LINE, FIRST_LINE. FIFO_FULL устанавливается, когда все флажки занятости у всех линеек установлены. FIFO_EMPTY устанавливается, когда все флажки занятости у всех линеек сброшены. END_LINE устанавливается, когда установлен флажок занятости у последней линейки. FIRST_LINE устанавливается, когда флажок занятости первой линейки сброшен.

3.2.6.2 Сдвиговый регистр.

Модуль сдвигового регистра представляет собой 32-х битный регистр последовательного сдвига с параллельной записью и блок подсчета передаваемых бит с формирователем меж словного интервала 4T. Формирователь выдаёт на внешний вывод сигнал активности канала AC_KAN, когда на внешних выходах AR_A и AR_B присутствует кодированный сигнал. Сигнал рабочей частоты он получает от регистра рабочих частот. Модуль отслеживает флажок END_LINE блока FIFO и при его появлении в случае, если текущая передача завершена, считывает из FIFO новое слово для передачи.