

1 Общие положения

1.1 Описание микросхемы

Настоящее техническое описание (ТО) распространяются на микросхемы интегральные тех. обозначение МЗR005, далее микросхемы, разработанные и изготовленные по КМОП-технологии на основе базового матричного кристалла (БМК), с числом эквивалентных ячеек 90000, и предназначенные для использования в электронной аппаратуре.

Функционально микросхема представляет собой восемь приемников – контроллера протокола канала ARINC-429 со встроенной памятью 256 признаков отслеживаемых адресов. Допустимые рабочие частоты приемников: 12,5 кбит/с, 50 кбит/с, 100 кбит/с. Рабочие частоты выбираются индивидуально для каждого канала. Интерфейс взаимодействия с подсистемой пользователя – байт блочный интерфейс.

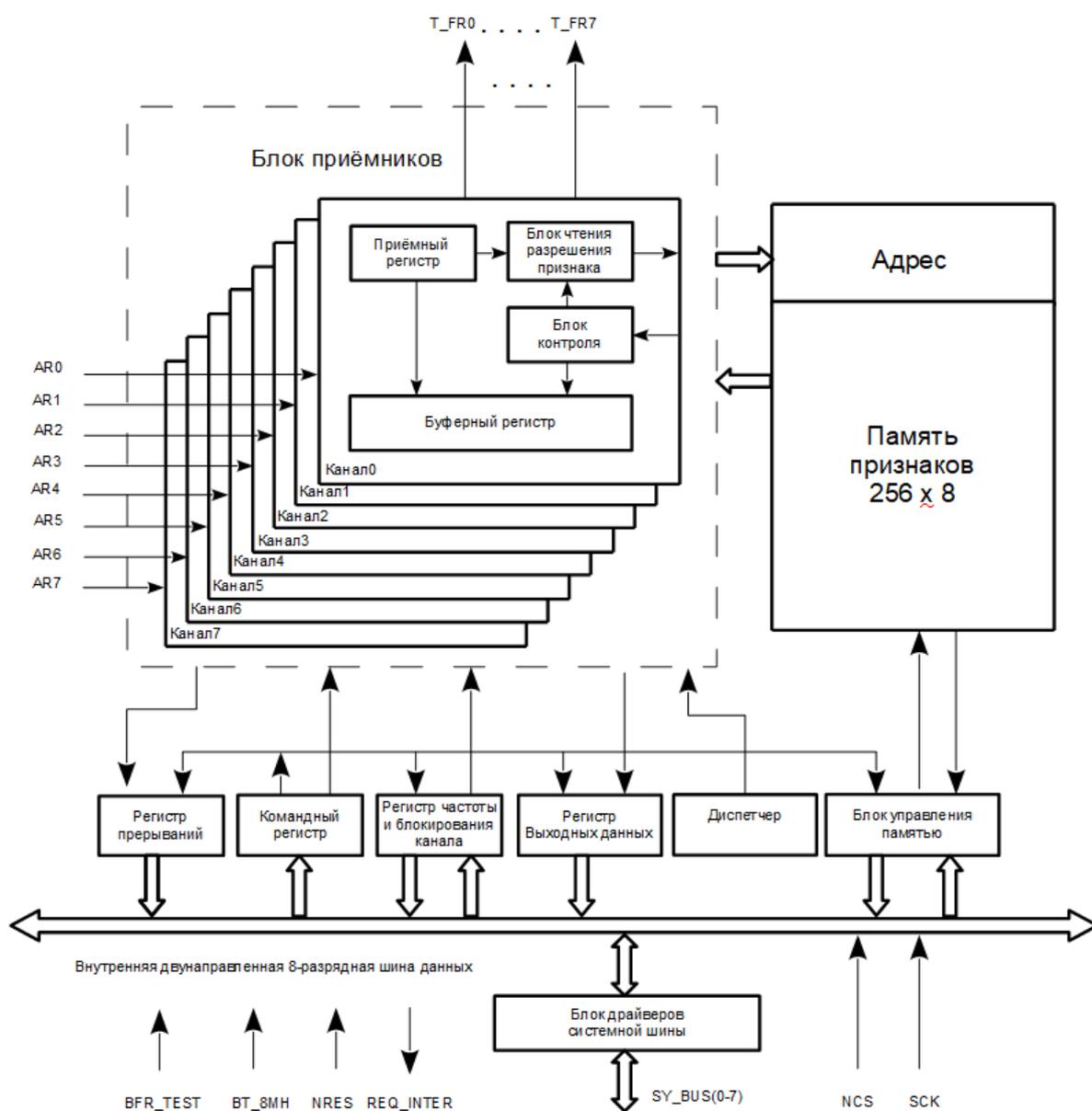
1.2 Описание сигналов

A_R0	-	входной сигнал ARINC для приема "1" бита в нулевом канале
B_R0	-	входной сигнал ARINC для приема "0" бита в нулевом канале
A_R1	-	входной сигнал ARINC для приема "1" бита в первом канале
B_R1	-	входной сигнал ARINC для приема "0" бита в первом канале
A_R2	-	входной сигнал ARINC для приема "1" бита во втором канале
B_R2	-	входной сигнал ARINC для приема "0" бита во втором канале
A_R3	-	входной сигнал ARINC для приема "1" бита в третьем канале
B_R3	-	входной сигнал ARINC для приема "0" бита в третьем канале
A_R4	-	входной сигнал ARINC для приема "1" бита в четвертом канале
B_R4	-	входной сигнал ARINC для приема "0" бита в четвертом канале
A_R5	-	входной сигнал ARINC для приема "1" бита в пятом канале
B_R5	-	входной сигнал ARINC для приема "0" бита в пятом канале
A_R6	-	входной сигнал ARINC для приема "1" бита в шестом канале
B_R6	-	входной сигнал ARINC для приема "0" бита в шестом канале
A_R7	-	входной сигнал ARINC для приема "1" бита в седьмом канале
B_R7	-	входной сигнал ARINC для приема "0" бита в седьмом канале

Каждая пара входных сигналов A_Rx, B_Rx на блок схеме обозначена как Aгх.

T_FR0	-	контрольные сигналы рабочей частоты для приёмного канала, частота
. . . .	-	на данном выводе в четыре раза превышает рабочую частоту.
T_FR7		
BT_8MH	-	системная частота работы микросхемы равная 8 МГц
BFR_TECT	-	данный сигнал тестовый и служит для упрощения выходного контроля
NRES	-	сигнал начального сброса, активный нижний уровень
NCS	-	индикатор активности обмена данных на системной шине, активный низкий уровень
SCK	-	синхросигнал системной шины, импульсы положительной полярности, по переднему фронту осуществляется считывание данных принимающим устройством с системной шины, по заднему спаду данные на ней могут быть изменены.
SY_BUS (0-7)	-	системная двунаправленная 8-ми битная шина обмена данными
REQ_ENTER	-	интегральный сигнал запроса прерывания, когда хотя бы один триггер регистра прерывания активен

2 Структурная схема микросхемы



На рисунке 1 представлена структурная схема микросхемы.

Микросхема состоит из 8-ми каналов приёма данных формата ARINC, объединенных на структурной схеме в единый модуль "Блок приёмников", памяти разрешённых признаков с организацией 256 байт, блока управления памятью, диспетчера, регистра выходных данных, регистра рабочей частоты входного канала и его блокировки, командного регистра и регистра прерываний.

Каждый канал приёма данных с AR (A_R, B_R) состоит из приёмного последовательного 32-х разрядного регистра, блока контроля принятого слова, блока считывания разрешения на прием кода с данным признаком и буферного 32-х разрядного параллельного регистра.

3 Описание работы

Данные со входа AR последовательно помещаются в "Приёмный регистр". Одновременно с этим блок контроля осуществляет подсчёт принятых бит кода, четность и распознаёт появление меж словного промежутка. Появление этого промежутка интерпретируется как завершение текущей передачи данных. Блок контроля проверяет количество принятых бит в текущей передаче и, если оно не равно 32, данные текущей передачи отбрасываются и канал переходит в режим ожидания следующей посылки. Если посылка правильная, блок контроля взводит флажок запроса доступа к памяти разрешённых признаков и ожидает соответствующего разрешения от диспетчера. При получении такого разрешения он выставляет на адресную шину памяти данные поля признака принятого слова и сбрасывает свой флажок запроса доступа к памяти разрешённых признаков. Память выдает байт данных по запрошенному адресу. Каждый бит полученного байта разрешает (лог. "1") или запрещает (лог. "0") прием слова. Порядок битов соответствует порядку каналов. Так нулевой бит соответствует нулевому каналу и т.д. Если получено разрешение на приём, блок контроля переписывает данные из приемного регистра в буферный и выдаёт сигнал на взведение соответствующего бита регистра запроса прерывания. При этом, если при приёме данных было обнаружено нарушение четности, то в старший разряд буферного регистра будет загружена "1", в противном случае "0".

Для обмена данными с внешним контроллером применяется байт-блочный алгоритм. Контроллер всегда является "MASTER" устройством, микросхема – "SLAVE". Для реализации алгоритма используются два сигнала синхронизации: **NCS** и **SCK** и двунаправленная байтная шина **SY_BUS**. Для инициализации обмена контроллер выставляет низкий уровень на сигнале **NCS** и удерживает его в этом состоянии до окончания операции. Для записи данных в регистры контроллера или микросхемы используется сигнал **SCK**. По фронту этого сигнала всегда осуществляется запись, а спад разрешает произвести смену данных на шине.

При любом обмене первым байтом всегда передается команда, которую следует выполнить. Данная команда записывается в командный регистр. Кодирование команд приведено в таблице 1. В случае передачи одновременно любой комбинации разрядов 4 – 7,

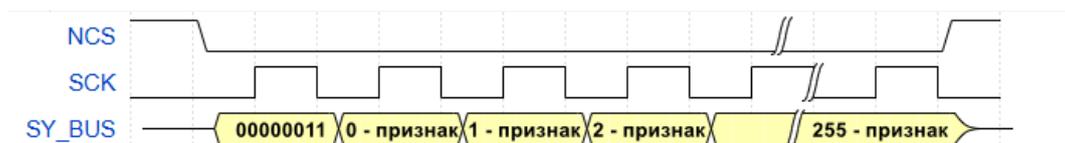
более высоким приоритетом будет обладать команда, кодируемая самым младшим битом. Например, если будет передан байт 00001110, то будет выполнена команда чтения регистра прерываний.

Таблица 1. Кодирование применяемых команд.

НОМЕР разряда	1	2	3	4	5	6	7	8
Реализуемая функция	Номер канала 0 - 7			Прочитать канал	Прочитать регистр прерываний	Прочитать/записать регистр частоты/блокировки	Работа с памятью	Тип операции 0 - чтение 1 - запись

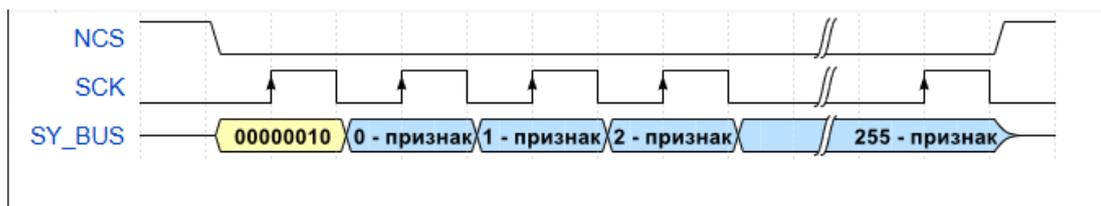
При включении питания, сигналом **NRES**, микросхема сбрасывается в начальное состояние. Регистр прерываний и блокировки каналов сброшены, регистр рабочей частоты каналов и память признаков находятся в неопределенном состоянии. Необходимо произвести инициализацию микросхемы.

Первым этапом следует загрузить память признаков. Признак — это фактически адрес одной из 256 8-ми битных ячеек памяти. Порядок бит в ячейке соответствует номерам каналов приёма данных. Установка бита в "1" разрешает приём данных по этому каналу с признаком равным адресу ячейки. Установка "0" – запрещает. Загрузка памяти осуществляется единым массивом из 257 байт. Временная диаграмма процедуры приведена на рисунке 2.



Первым следует байт кода команды, далее 256 байт признаков. Информация записывается в память по "1" уровню строба, формируемого из сигнала **SCK**, поэтому следует удерживать действительные данные на шине SY_BUS в течение действия **SCK**.

Правильность загрузки памяти можно проверить командой чтения. Временная диаграмма этой команды приведена на рисунке 3.



Следует заметить, что данные из памяти извлекаются по спаду на сигнале **SCK** и его фронт может быть использован для записи данных в регистры контроллера. Временной интервал, когда шина **SY_BUS** работает в режиме передатчика отмечен жёлтым цветом, а в режиме приёмника – синим.

Вторым этапом следует инициировать регистр рабочих частот каналов и их блокировок. Данный регистр состоит из трёх байт: первый байт – блокировки каналов, второй и третий определяют рабочую частоту каналов. Рабочая частота задаётся в соответствии с таблицей 2.

Таблица рабочих частот.

мл. разр.	ст. разр.	частота
0	0	12.5 КГц
1	0	50 КГц
0	1	100 КГц
1	1	BFR_TEST

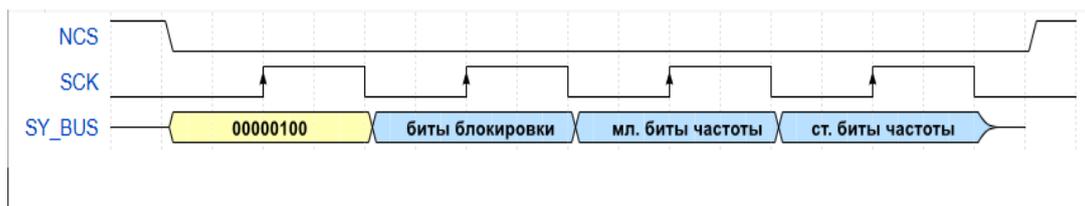
Комбинация "11" используется для целей тестирования БИС в процессе производства и может быть использована потребителем только по согласованию с производителем микросхемы.

Порядок следования бит в байтах соответствует номеру программируемого канала.

Временная диаграмма загрузки регистра приведена на рисунке 4.

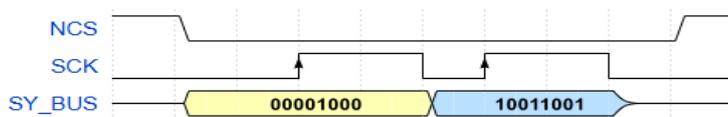


Для проверки правильности программирования регистра можно применить команду чтения его содержимого. Временная диаграмма чтения приведена на рисунке 5.

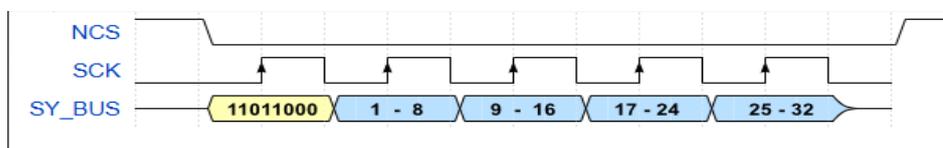


Правила формирования временных диаграмм те же, что и для работы с памятью. Дополнительно следует заметить, что временные диаграммы могут быть сокращены до двух или трех байт. В этом случае не затронутые байты данных не изменяются. Это удобно, когда, на пример, нужно включать или отключать некоторые каналы, не меняя рабочих частот.

После выполнения необходимых этапов настройки микросхема готова к работе. Работа приёмного канала была рассмотрена ранее, поэтому предполагаем, что один или несколько приёмников получили нужные коды, которые были переписаны в буферные регистры. Во время перезаписи приемник взводит свой триггер запроса прерывания в регистре прерываний. Активирование любого триггера приводит к появлению активного уровня на внешнем выводе **REQ_INTER**. Что бы понять какой канал принял информацию нужно прочитать регистр прерываний. Временная диаграмма чтения регистра прерываний приведена на рисунке 6.



На данном рисунке жёлтый фон – команда, синий – возвращаемое значение. Для примера, данная диаграмма говорит, что требуют чтения 0, 3, 4, 7 каналы. После этого контроллер должен прочитать принятое слово для этих каналов. Временная диаграмма чтения принятого слова приведена на рисунке 7.



Чтение слова также осуществляется блочным способом: первый байт – команда, последующие четыре байта – 32-х битное слово начиная с младшего байта. В байте команды первые три бита – номер канала (в примере – 3), четвёртый – код операции чтения принятого слова. В примере установлен ещё пятый бит – чтение регистра прерываний, но как было сказано ранее, четвёртый бит имеет более высокий приоритет и, поэтому, будет выполнена именно команда чтения принятого слова. При получении команды чтения, информация из буферного регистра запрошенного канала переписывается в регистр выходных данных и все

последующие операции осуществляются именно с ним, а информация в буферном регистре может изменяться. Во время операции перезаписи формируется импульс сброса соответствующего триггера регистра прерываний. Сигнал **REQ_INTER** снимется после прочтения всех данных.

Остался последний не описанный модуль – блок драйверов системной шины.

Основная задача этого блока – осуществление развязки внутренней шины от внешней двунаправленной шины контроллера **SY_BUS**. В исходном состоянии данный блок работает на приём и переключает направление передачи данных на передачу по спаду первого синхроимпульса **SCK** в командах чтения.