

УТВЕРЖДАЮ

Генеральный директор ОАО НПО «Физика»

И.М.Гуляев

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ Н1582ВЖ3В-0271

Техническое описание

ИРВЖ.431262.030-021ТО

СОГЛАСОВАНО

Заместитель генерального директора

ОАО НПО «Физика»

по научной работе и производству

В.А.Власов

2015

| Инд. № подл. | Подп. и дата | Взам. инв. № | Инд. № дубл. | Подп. и дата |
|--------------|--------------|--------------|--------------|--------------|
| | | | | |

Содержание

1 Наименование.....3
2 Назначение микросхемы.....3
3 Описание парафазного кодирования.....6
4 Устройство и работа.....7
5 Указания по применению и эксплуатации.....11
Приложение А (обязательное). Ссылочные нормативные документы.....12

| | | | | | | | | |
|----------------------|--------------|--------------|--------------|--------------|--|----------|----------|--------|
| Инв. № подл. | Подп. и дата | Взам. инв. № | Инв. № дубл. | Подп. и дата | ИРВЖ.431262.030-021ТО | | | |
| | | | | | Изм. | Лист | № докум. | |
| | | | | | Разраб. | Алфёрова | Подп. | |
| | | | | | Пров. | Розе | Дата | |
| Н. контр. | Сергеева М. | | | | МИКРОСХЕМА ИНТЕГРАЛЬНАЯ Н1582ВЖЗВ-0271 | Лит. | Лист | Листов |
| Утв. | - | | | | | | | 2 |
| Техническое описание | | | | | | | | |

1 Наименование

Восьмиканальный приемник парафазного кода.

2 Назначение микросхемы

Микросхема интегральная Н1582ВЖ3В-0271 (далее – микросхема) предназначена для применения в системах сбора информации.

Микросхема обеспечивает прием данных с восьми последовательных каналов связи с парафазным кодированием информации и передачу их на микросхему интерфейса мультиплексного канала по ГОСТ 26765.52-87 Н1582ВЖ2-0361.

Микросхема выполнена по КМОП-технологии на основе БМК серии 1582ВЖ3.

Кристалл, содержащий 3000 базовых ячеек, имеет заполнение 64%.

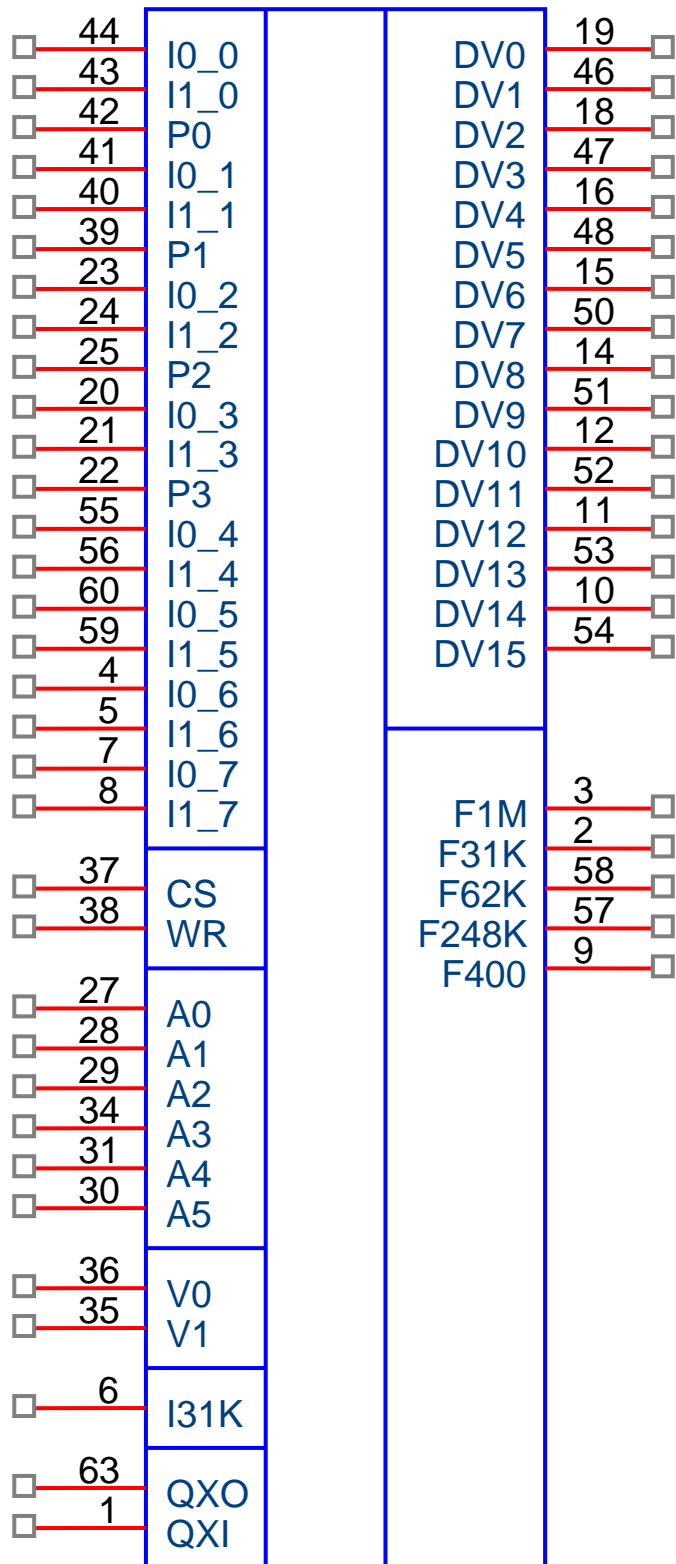
Микросхема выпускается в корпусе Н18.64-2В УФО.481.005ТУ.

Условное графическое изображение приведено на рисунке 1.

Структурная блок-схема микросхемы приведена на рисунке 2.

Наименование и назначение выводов приведены в таблице 1.

| | | | | | | |
|--------------|--------------|--------------|--------------|--------------|-----------------------|------|
| Инв. № подл. | Подп. и дата | Взам. инв. № | Инв. № дубл. | Подп. и дата | ИРВЖ.431262.030-021ТО | Лист |
| | | | | | | 3 |
| Изм. | Лист | № докум. | Подп. | Дата | | |

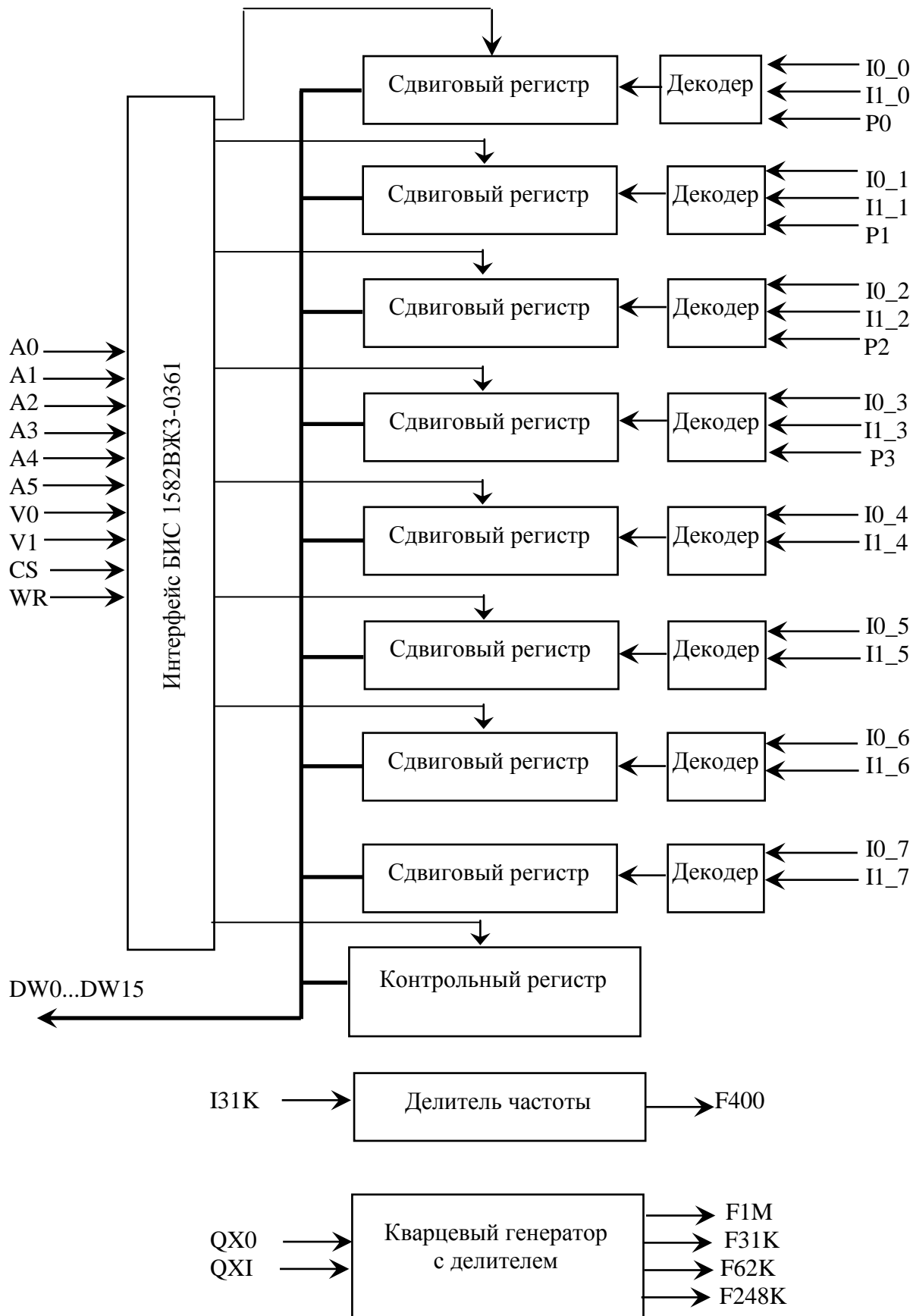


H1582BЖЗВ-0271

Р и с у н о к 1 – Условное графическое обозначение микросхемы H1582BЖЗВ-0271

| | |
|--------------|--------------|
| Инд. № подл. | Подп. и дата |
| Взам. инв. № | Инд. № дубл. |
| Подп. и дата | Подп. и дата |

| | | | | | | |
|------|------|----------|-------|------|-----------------------|-----------|
| Изм. | Лист | № докум. | Подп. | Дата | ИРВЖ.431262.030-021ТО | Лист 4 |
| | | | | | | |



Р и с у н о к 2 – Структурная схема микросхемы N1582BЖ3В-0271

| | |
|--------------|--------------|
| Инв. № подл. | Подп. и дата |
| Взам. инв. № | Инв. № дубл. |
| Подп. и дата | Подп. и дата |

| | | | | |
|------|------|----------|-------|------|
| Изм. | Лист | № докум. | Подп. | Дата |
|------|------|----------|-------|------|

3 Описание парафазного кодирования

Парафазное кодирование информации, что следует уже из названия, предполагает передачу каждого бита данных с использованием двух информационных линий:

- линии «0»;
- линии «1».

Передача «нуля» кодируется подачей импульсного сигнала на линию «0», а передача «единицы» – подачей импульсного сигнала на линию «1».

Все передаваемые сообщения имеют формат 16-битных слов с контролем по четности следующего формата:

- 16 бит данных;
- бит четности (добавляется для получения нечетного числа импульсов в линии «1» и четного числа импульсов в линии «0»);
- специальный разделительный маркер.

Если правила четностей в принятом слове не выполняются, то вся посылка игнорируется.

Физически процесс передачи слова выглядит следующим образом:

- в исходном состоянии обе информационные линии имеют потенциал, близкий к напряжению питания и распознаваемый электронными схемами как логическая единица;
- передача данных начинается без преамбулы;
- если нужно передать «единицу», то на линии «1» формируется следующая импульсная последовательность:
 - логическая 1 – 1мкс, логический 0 – 2мкс, логическая 1 – 1мкс;
- если нужно передать «нуль», то та же последовательность формируется на линии «0»;
- любая передача завершается разделительным маркером: описанная выше последовательность формируется одновременно на обеих линиях.

| | | | | |
|---------------|--------------|--------------|---------------|--------------|
| Интв. № подл. | Подп. и дата | Взам. инв. № | Интв. № дубл. | Подп. и дата |
| | | | | |

| | | | | | | |
|------|------|----------|-------|------|-----------------------|------|
| Изм. | Лист | № докум. | Подп. | Дата | ИРВЖ.431262.030-021ТО | Лист |
| | | | | | | 6 |

4 Устройство и работа

Микросхема состоит из восьми независимых каналов приема, каждый из которых включает в себя:

- 16-разрядный сдвиговый регистр;
- декодер входного кода;
- схему контроля четности в принятом слове и параллельный буферный регистр.

Также в микросхему входят:

- контрольный регистр;
- блок интерфейса к микросхеме Н1582ВЖ2-0361;
- и кварцевый генератор с делителем частоты.

Информация на входе канала поступает на входной декодер через выходы I0_x и I1_x, который выделяет из информационного потока данные и стробирующий импульс, по которому принятый бит вдвигается в сдвиговый регистр. При появлении в линии разделяющего маркера схема контроля четности проверяет достоверность принятого слова и при отсутствии ошибки переписывает его в параллельный буферный регистр. Одновременно с этим вне зависимости от результатов проверки четности вводится соответствующий разряд Re(x) контрольного регистра. При обнаружении ошибки вся принятая информация игнорируется и информация в буферном регистре остается без изменения. При этом одновременно с Re(x) вводится и соответствующий разряд Ep(x) контрольного регистра. Формат контрольного регистра приведен на рисунке 3. Контрольный регистр обнуляется после выполнения каждой операции чтения контрольного регистра.

| | | | | | | | | | | | | | | | |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 10 | 11 | 12 | 13 | 14 | 15 |
| Ep0 | Re0 | Ep1 | Re1 | Ep2 | Re2 | Ep3 | Re3 | Ep4 | Re4 | Ep5 | Re5 | Ep6 | Re6 | Ep7 | Re7 |

Ep(x) (error parity) – ошибка четности в канале «x»;

Re(x) (Ready) – достоверная информация принята из канала «x».

Р и с у н о к 3 – Формат контрольного регистра

| | | | | |
|---------------|--------------|--------------|---------------|--------------|
| Интв. № подл. | Подп. и дата | Взам. инв. № | Интв. № дубл. | Подп. и дата |
| | | | | |

| | | | | | | |
|------|------|----------|-------|------|-----------------------|------|
| Изм. | Лист | № докум. | Подп. | Дата | ИРВЖ.431262.030-021ТО | Лист |
| | | | | | | 7 |

Для организации интерфейса к микросхеме Н1582ВЖ2-0361 используются шесть адресных выводов А0...А5, два вывода адреса микросхемы V0, V1 и управляющие выходы CS и WR.

Чтобы прочитать информацию из регистров данных, на выводах А0...А2 должен присутствовать номер регистра данных, на выводах А3, А4 – адрес микросхемы, который должен совпадать с кодом на выводах V0, V1, выводы А5 = 0, CS = 0, WR = 1. При выполнении этих условий на выводы DV0...DV15 будет выдана информация из адресуемого буферного регистра данных.

Чтобы прочитать содержимое контрольного регистра, адрес микросхемы должен быть выставлен на выводы А0, А1 и должен совпадать с кодом на выводах V0, V1, при этом выводы А2...А4 могут находиться в любом состоянии, а выводы А5 = 1, CS = 0, WR = 1.

В силу асинхронности процедур записи принятого кода в буферный регистр и его считывания через параллельную шину данных для исключения ситуации наложения этих двух процессов предусмотрена блокировка перезаписи буферного регистра выбранного канала, происходящая при появлении сигнала CS = 0.

Учитывая эту функциональную особенность микросхемы, для обеспечения ее надежной работы следует руководствоваться следующим простым правилом: длительность сигнала CS должна быть меньше или равна половине длительности разделительного маркера.

В микросхеме предусмотрена работа с источниками сигналов, не передающих в линию разряд контроля по четности. Для этого в первых четырех каналах имеется вывод Р.

Замыкание на «землю» этого вывода блокирует проверку четности в данном канале. Если требуется проверка четности, то данный вывод либо подключается к напряжению источника питания, либо допускается оставить его неподключенным.

Микросхема имеет в своем составе независимый кварцевый генератор (с наружным кварцем) с делителем частоты. При использовании кварца на 12 МГц на выводах QXO, F1M, F31K, F62K, F248K будут сформированы частоты 12 МГц, 1 МГц, 31 КГц, 62 кГц и 248 кГц соответственно. Кварц следует подключить между выводами QXI и QXO.

Кроме этого, имеется независимый делитель частоты для формирования меандра частоты 400 Гц. Чтобы использовать этот делитель, необходимо внешним образом соединить выводы F31KH и I31K. Выход частоты снимается с вывода С400Н.

Если имеется внешний генератор, кварц можно не использовать, а подать сигнал 12МГц на вход QXI.

| | | | | |
|--------------|--------------|--------------|--------------|--------------|
| Инт. № подл. | Подп. и дата | Взам. инв. № | Инв. № дубл. | Подп. и дата |
| | | | | |

| | | | | | | |
|------|------|----------|-------|------|-----------------------|-----------|
| Изм. | Лист | № докум. | Подп. | Дата | ИРВЖ.431262.030-021ТО | Лист 8 |
| | | | | | | |

Т а б л и ц а 1 – Нумерация и назначение выводов микросхемы

| Номер вывода | Обозначение вывода | Наименование буферного элемента | Наименование вывода |
|--------------|--------------------|---------------------------------|--|
| 1 | QX1 | F3032 | Вход подключения кварца |
| 2 | F31K | F3035 | Выход частоты 31 кГц |
| 3 | F1M | F3035 | Выход частоты 1 МГц |
| 4 | I0_6 | F3032 | Вход "0" 6-го последовательного канала |
| 5 | I1_6 | F3032 | Вход "1" 6-го последовательного канала |
| 6 | I31K | F3032 | Вход делителя частоты 400 Гц |
| 7 | I0_7 | F3032 | Вход "0" 7-го последовательного канала |
| 8 | I1_7 | F3032 | Вход "1" 7-го последовательного канала |
| 9 | F400 | F3035 | Выход частоты 400 Гц |
| 10 | DV14 | F3036 | Выход 14-го разряда параллельной шины данных |
| 11 | DV12 | F3036 | Выход 12-го разряда параллельной шины данных |
| 12 | DV10 | F3036 | Выход 10-го разряда параллельной шины данных |
| 13 | Gnd | - | Общий |
| 14 | DV8 | F3036 | Выход 8-го разряда параллельной шины данных |
| 15 | DV6 | F3036 | Выход 6-го разряда параллельной шины данных |
| 16 | DV4 | F3036 | Выход 4-го разряда параллельной шины данных |
| 17 | +5 V | - | Питание |
| 18 | DV2 | F3036 | Выход 2-го разряда параллельной шины данных |
| 19 | DV0 | F3036 | Выход 0-го разряда параллельной шины данных |
| 20 | I0_3 | F3032 | Вход "0" 3-го последовательного канала |
| 21 | I1_3 | F3032 | Вход "1" 3-го последовательного канала |
| 22 | P3 | F3032 | Вход разрешения контроля четности в канале 3 |
| 23 | I0_2 | F3032 | Вход "0" 2-го последовательного канала |
| 24 | I1_2 | F3032 | Вход "1" 2-го последовательного канала |
| 25 | P2 | F3032 | Вход разрешения контроля четности в канале 2 |
| 26 | F1 | F3035 | Выход технологический |
| 27 | A0 | F3032 | Вход 0-го разряда шины адреса |
| 28 | A1 | F3032 | Вход 1-го разряда шины адреса |
| 29 | A2 | F3032 | Вход 2-го разряда шины адреса |
| 30 | A5 | F3032 | Вход 5-го разряда шины адреса |
| 31 | A4 | F3032 | Вход 4-го разряда шины адреса |
| 32 | +5 V | - | Питание |
| 33 | - | - | - |
| 34 | A3 | F3032 | Вход 3-го разряда шины адреса |
| 35 | V1 | F3032 | Вход 1 программирования номера микросхемы |
| 36 | V0 | F3032 | Вход 0 программирования номера микросхемы |
| 37 | CS | F3033 | Вход сигнала синхронизации обмена |
| 38 | WR | F3032 | Вход сигнала синхронизации записи |
| 39 | P1 | F3032 | Вход разрешения контроля четности в канале 1 |
| 40 | I1_1 | F3032 | Вход "1" 1-го последовательного канала |

| | | | | |
|--------------|--------------|--------------|--------------|--------------|
| Инв. № подл. | Подп. и дата | Взам. инв. № | Инв. № дубл. | Подп. и дата |
| | | | | |
| | | | | |

| | | | | | | |
|------|------|----------|-------|------|-----------------------|-----------|
| Изм. | Лист | № докум. | Подп. | Дата | ИРВЖ.431262.030-021ТО | Лист 9 |
| | | | | | | |

Продолжение таблицы 1

| Номер вывода | Обозначение вывода | Наименование буферного элемента | Наименование вывода |
|--------------|--------------------|---------------------------------|--|
| 41 | I0_1 | F3032 | Вход "0" 1-го последовательного канала |
| 42 | P0 | F3032 | Вход разрешения контроля четности в канале 0 |
| 43 | I1_0 | F3032 | Вход "1" 0-го последовательного канала |
| 44 | I0_0 | F3032 | Вход "0" 0-го последовательного канала |
| 45 | Gnd | - | Общий |
| 46 | DV1 | F3036 | Выход 1-го разряда параллельной шины данных |
| 47 | DV3 | F3036 | Выход 3-го разряда параллельной шины данных |
| 48 | DV5 | F3036 | Выход 5-го разряда параллельной шины данных |
| 49 | +5 V | - | Питание |
| 50 | DV7 | F3036 | Выход 7-го разряда параллельной шины данных |
| 51 | DV9 | F3036 | Выход 9-го разряда параллельной шины данных |
| 52 | DV11 | F3036 | Выход 11-го разряда параллельной шины данных |
| 53 | DV13 | F3036 | Выход 13-го разряда параллельной шины данных |
| 54 | DV15 | F3036 | Выход 15-го разряда параллельной шины данных |
| 55 | I0_4 | F3032 | Вход "0" 4-го последовательного канала |
| 56 | I1_4 | F3032 | Вход "1" 4-го последовательного канала |
| 57 | F248K | F3035 | Выход частоты 248 кГц |
| 58 | F62K | F3035 | Выход частоты 62 кГц |
| 59 | I1_5 | F3032 | Вход "1" 5-го последовательного канала |
| 60 | I0_5 | F3032 | Вход "0" 5-го последовательного канала |
| 61 | F2 | F3035 | Выход технологический |
| 62 | Gnd | - | Общий |
| 63 | QXO | F3243 | Выход подключения кварца |
| 64 | +5 V | - | Питание |

| | | | | |
|--------------|--------------|--------------|--------------|--------------|
| Инд. № подл. | Подп. и дата | Взам. инв. № | Инд. № дубл. | Подп. и дата |
| | | | | |

5 Указания по применению и эксплуатации

5.1 Указания и рекомендации по эксплуатации в соответствии с ОСТ В 11 0998.

5.2 При измерениях и эксплуатации микросхем должны быть приняты меры, исключающие возможность накопления электростатических зарядов на выводах микросхемы. Допустимое значение статического потенциала 200 В по ОСТ 11 073.062.

5.3 Режим и условия монтажа микросхем в аппаратуре – по ОСТ 11 В 073.063.

5.4 Рекомендуется начинать пайку с выводов питания. Пайку остальных выводов разрешается производить в любой последовательности. Все неиспользуемые входы микросхемы должны соединяться с шиной «питание» или «общий» в зависимости от выполняемой логической функции.

5.5 При ремонте аппаратуры и измерении параметров микросхемы в контактирующих устройствах замену микросхемы необходимо производить только при отключенных источниках питания.

| | | | | | | |
|--------------|--------------|--------------|--------------|--------------|-----------------------|------|
| Инв. № подл. | Подп. и дата | Взам. инв. № | Инв. № дубл. | Подп. и дата | ИРВЖ.431262.030-021ТО | Лист |
| | | | | | | 11 |
| Изм. | Лист | № докум. | Подп. | Дата | | |

Приложение А
(обязательное)

Ссылочные нормативные документы

| Обозначение документа, на который дана ссылка | Номер раздела, подраздела, пункта, подпункта, в котором дана ссылка |
|--|--|
| ОСТ 11 073.062-84 | 5.2 |
| ОСТ 11 073.063-84 | 5.3 |
| ОСТ В 11 0998-99 | 5.1 |

| | | | | |
|--------------|--------------|--------------|--------------|--------------|
| Инд. № подл. | Подп. и дата | Взам. инв. № | Инд. № дубл. | Подп. и дата |
| | | | | |

| | | | | |
|------|------|----------|-------|------|
| Изм. | Лист | № докум. | Подп. | Дата |
| | | | | |

ИРВЖ.431262.030-021ТО

Лист регистрации изменений

| Изм. | Номера листов (страниц) | | | | Всего листов (страниц) в докум. | № документа | Входящий № сопроводительного документа и дата | Подпись | Дата |
|------|-------------------------|------------|-------|----------------|---------------------------------|-------------|---|---------|------|
| | Измененных | Замененных | Новых | Аннулированных | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |
| | | | | | | | | | |

| | | | | |
|--------------|--------------|--------------|--------------|--------------|
| Изм. № подл. | Подп. и дата | Взам. инв. № | Инв. № дубл. | Подп. и дата |
| | | | | |

| | | | | |
|------|------|----------|-------|------|
| Изм. | Лист | № докум. | Подп. | Дата |
| | | | | |

ИРВЖ.431262.030-021ТО